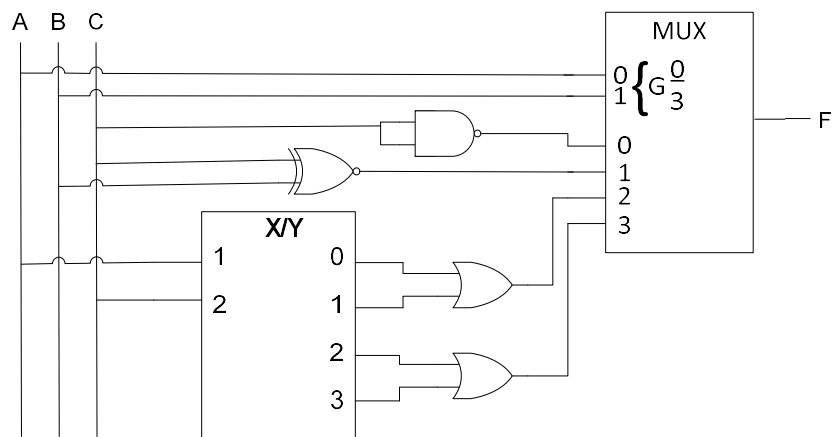


Antes de iniciar a prova, tenha em atenção o seguinte:

- i. A prova contempla 8 perguntas, distribuídas por 14 páginas, e tem a duração de 2h30m.
- ii. Existem 4 variantes distintas da prova: A, B, C e D.
- iii. A prova é sem consulta. Sobre a secretária apenas deve encontrar-se a sua identificação (cartão de estudante).
- iv. Identifique todas as folhas do enunciado com o seu nome e número mecanográfico. Recorde que logo após terminar a prova todas as páginas serão desagafadas e separadas. Folhas não identificadas não serão cotadas!!!
- v. Resolva a prova no próprio enunciado. Para cada questão é fornecido um espaço próprio, dentro do qual deverá responder. A sua dimensão está ajustada ao tamanho expectável da resposta.
- vi. Excepcionalmente, e caso realmente necessite, pode usar o espaço extra disponível das páginas em branco, colocadas ao longo da prova. Nesse caso, deve indicar junto ao enunciado da pergunta que a resposta à mesma se encontra na página que utilizou.
- vii. Justifique adequadamente todas as respostas.
- viii. Responda à prova com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

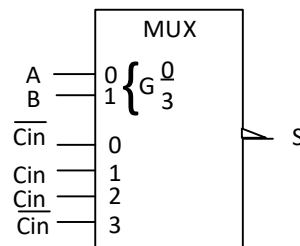
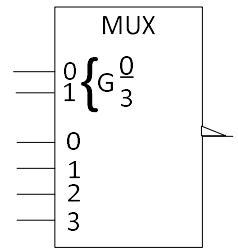
1. Considere o seguinte circuito lógico.

- a) Obtenha, através da inspeção do circuito e posterior simplificação algébrica (sem recurso a tabela de verdade), a função booleana $F(A, B, C)$ na forma canónica disjuntiva (soma de produtos). Justifique com todos os passos intermédios.....[2,0 val.]



$$\overline{A} \overline{B} (\overline{C}) + A \overline{B} (C \odot B) + \overline{A} B (\overline{C}) + A B (C) = \overline{A} \overline{B} \overline{C} + A \overline{B} \overline{C} + \overline{A} B \overline{C} + A B C$$

- b) Utilizando, obrigatoriamente, multiplexers 4:1 com saída negada (ver figura) e um número mínimo de portas lógicas NOR e/ou NAND de 2 entradas, assim como portas NOT, projete e implemente a saída S de um somador completo. [1,5 val.]



2. Considere a função lógica $f(A, B, C, D, E)$ incompletamente especificada, definida da seguinte forma (a variável A é a de maior peso e a variável E é a de menor peso):

$$f(A, B, C, D, E) = \prod M(5, 9, 10, 12, 13, 15, 17, 22, 23, 25, 28, 30) \times \prod Md(0, 1, 6, 7, 8, 11, 18, 20, 21)$$

a) Complete o mapa de Karnaugh representado abaixo por forma a representar esta função. [1,0 val.]

		CDE							
		AB		000	001	011	010	110	111
00		X	X	1	1	X	X	0	1
01		X	0	X	0	1	0	0	0
11		1	0	1	1	0	1	1	0
10		1	0	1	X	0	0	X	X

b) Identifique a expressão algébrica na forma mínima conjuntiva (produto de somas) do seguinte mapa de Karnaugh. Justifique, marcando os implicados primos correspondentes à função no mapa.[1,5 val.]

3.

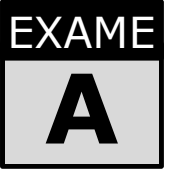
		CDE							
		AB		000	001	011	010	110	111
00		0	0	1	1	0	0	1	1
01		1	1	1	0	0	0	0	0
11		X	0	1	X	1	0	0	1
10		0	0	1	1	0	0	X	0

$$F = (B + C + D)(A + \bar{B} + \bar{C})(\bar{A} + B + \bar{C})(\bar{A} + C + D)(A + \bar{C} + \bar{D})(\bar{B} + \bar{C} + \bar{E})(A + \bar{B} + \bar{D} + E)$$

c) Identifique os implicados primos essenciais e não essenciais na expressão encontrada na alínea b). Justifique.[1,5 val.]

$$IPE : (B + C + D), (A + \bar{B} + \bar{C})$$

Aluno:	Nº
--------	----



(Página deixada intencionalmente em branco.)

Aluno:

Nº

Pág. 4

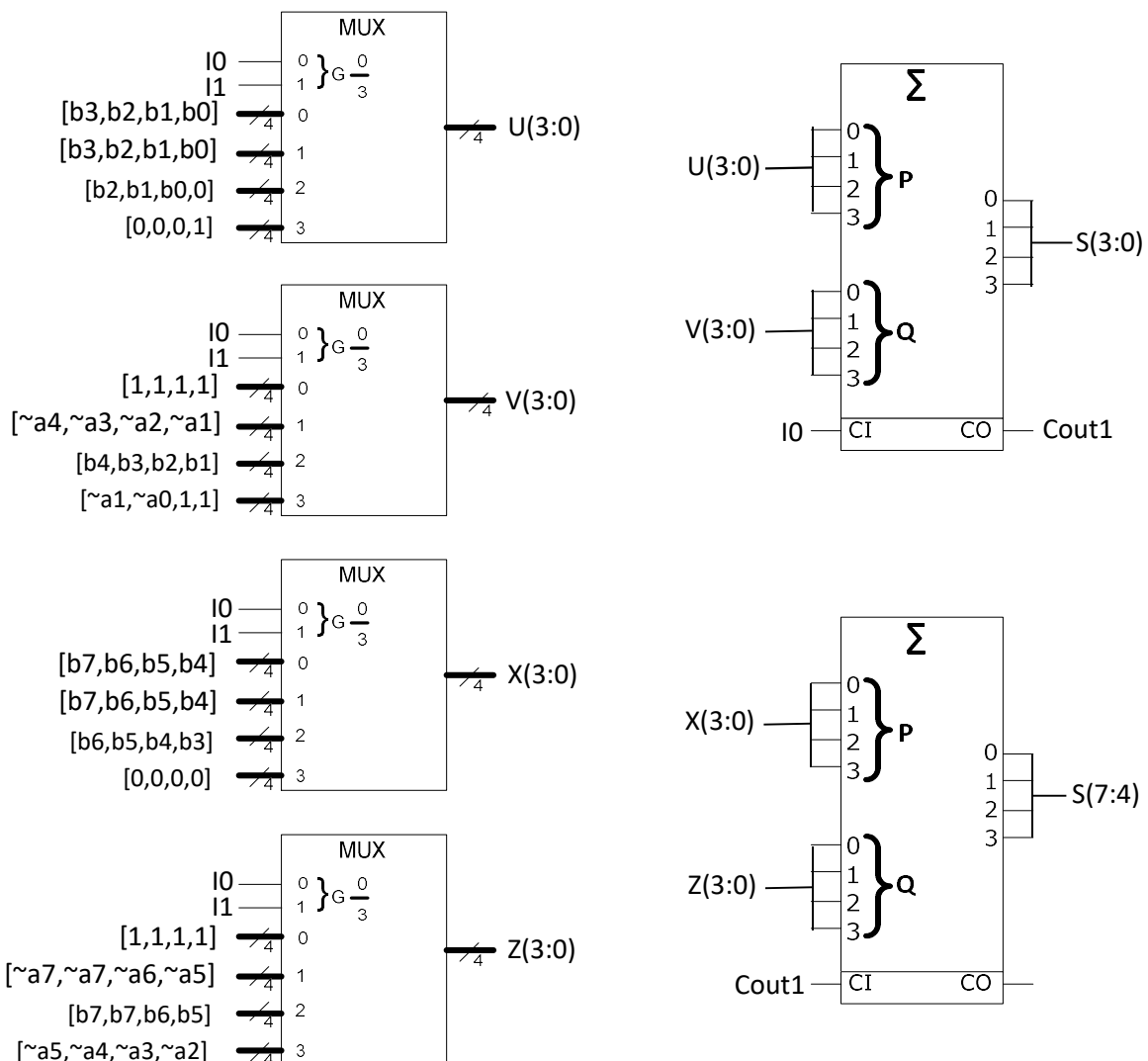
A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

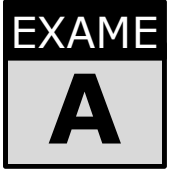
3. Pretende-se projetar uma unidade aritmética que recebe duas entradas de dados A(7:0) e B(7:0), uma entrada de seleção I(1:0), tendo como saída S(7:0). O circuito deve ser capaz de implementar as seguintes operações em formato de complemento para 2:

I1	I0	Operação
0	0	$B - 1$
0	1	$B - 0.5 \times A$
1	0	$2.5 \times B$
1	1	$1 - 4 \times A$

Complete o logograma abaixo por forma a obter a funcionalidade desejada, utilizando o mínimo de lógica adicional. Despreze as situações de *overflow*.[2,5 val.]

Nota: Não se esqueça que pode (e deve) usar barramentos sempre que possível para simplificar o desenho do circuito. Para especificar quais os sinais que compõem um barramento, utilize a notação [x, y, z, w], em que x corresponde ao bit mais significativo.





(Página deixada intencionalmente em branco.)

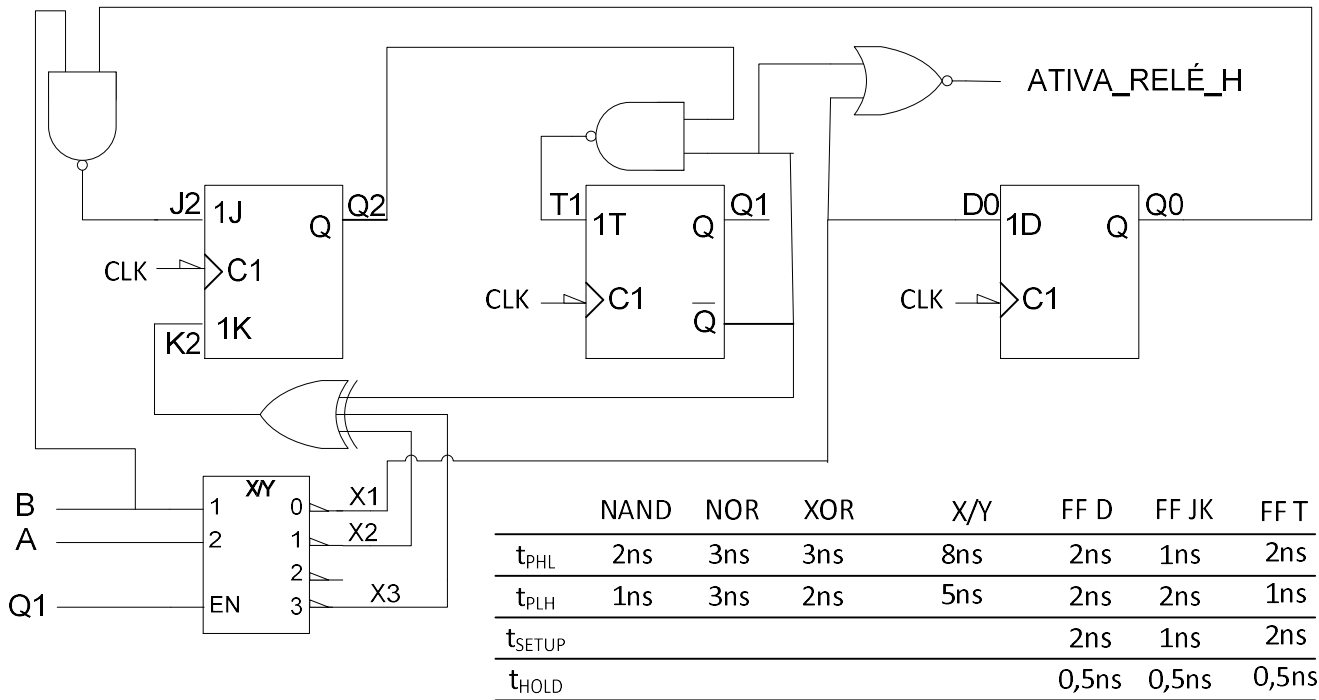
Aluno:

Nº

Pág. 6

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

4. Considere o circuito da figura e os tempos de propagação indicados na tabela:

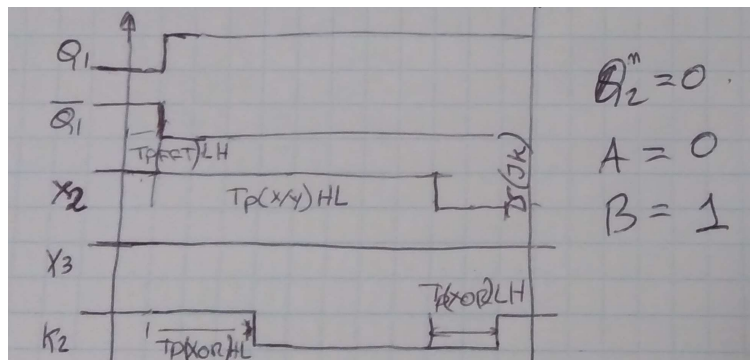


a) Complete as seguintes linhas da tabela de transição de estados.[1,5 val.]

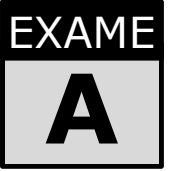
Q_2^n	Q_1^n	Q_0^n	A	B	X1	X2	X3	J_2	K_2	T_1	D_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	ATIVA_RELÉ
1	0	0	0	0	1	1	1	1	1	0	1	0	0	1	0
1	0	0	0	1	1	1	1	1	1	0	1	0	0	1	0
1	0	0	1	0	1	1	1	1	1	0	1	0	0	1	0
1	0	0	1	1	1	1	1	1	1	0	1	0	0	1	0
0	1	0	0	0	0	1	1	1	0	1	0	1	0	0	1
0	1	0	0	1	1	0	1	1	1	1	1	1	0	1	0
0	1	0	1	0	1	1	1	1	0	1	1	1	0	1	0
0	1	0	1	1	1	1	0	1	1	1	1	1	0	1	0

b) Determine justificadamente o período mínimo de relógio do circuito, por forma a garantir o correto funcionamento do mesmo.[0,5 val.]

$$T_{min} = T_{su}(FF JK) + T_{pHL}(XOR) + T_{pHL}(X/Y) + T_{pHL}(FFT) = 14ns$$



Aluno:	Nº
--------	----



(Página deixada intencionalmente em branco.)

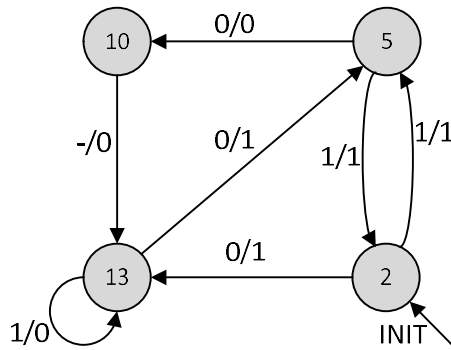
Aluno:

Nº

Pág. 8

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

5. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por uma entrada (X) e uma saída (Y), em que a codificação dos estados corresponde aos números dentro dos círculos:



Implemente esta máquina de estados utilizando o registo de deslocamento fornecido e lógica adicional que ache necessária. Deve incluir uma entrada adicional de inicialização, *INIT*. Para resolver o exercício, basta completar a tabela e as equações algébricas dos sinais E0...E7 e Y em função das entradas X e *INIT*, e saídas do contador. **Sugestão: comece por preencher a tabela, associando a cada transição do diagrama de estados os modos de operação do registo.**.....[2,0 val.]

E0 = $Q_1 \sim Q_3 + Q_3 Q_0 \sim X + INIT$

E1 = $(Q_3 + Q_0 + \sim X)(\sim Q_3 + \sim Q_0 + \sim X) + INIT$

E2 = $Q_3 + \sim Q_3 \sim X$

E3 = $Q_1 \sim INIT$

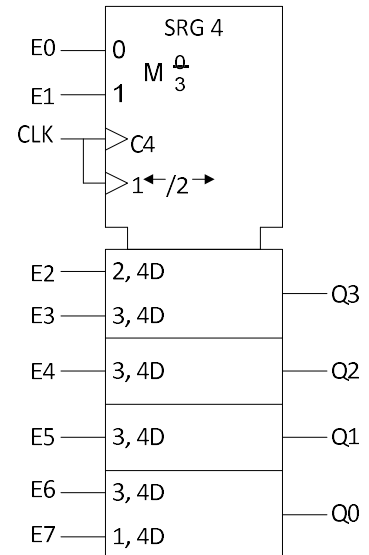
E4 = $\sim INIT$

E5 = $INIT$

E6 = $\sim INIT$

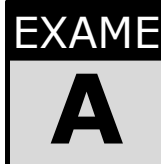
E7 = 1

Y = $Q_3 XNOR (Q_2 \sim X)$



EP	Q_3^n	Q_2^n	Q_1^n	Q_0^n	X	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	E0	E1	E2	E3	E4	E5	E6	E7	Y
2	0	0	1	0	0	1	1	0	1	1	1	X	1	1	0	1	X	1
2	0	0	1	0	1	0	1	0	1	1	0	X	x	x	x	X	1	1
5	0	1	0	1	0	1	0	1	0	0	1	1	x	x	x	X	X	0
5	0	1	0	1	1	0	0	1	0	0	1	0	x	x	x	X	x	1
10	1	0	1	0	0	1	1	0	1	0	1	1	x	x	x	X	X	0
10	1	0	1	0	1	1	1	0	1	0	1	1	x	x	x	X	X	0
13	1	1	0	1	0	0	1	0	1	1	1	X	0	1	0	1	X	1
13	1	1	0	1	1	1	1	0	1	0	0	X	x	x	X	x	X	0

Aluno:	Nº
--------	----



(Página deixada intencionalmente em branco.)

Aluno:

Nº

Pág. 10

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

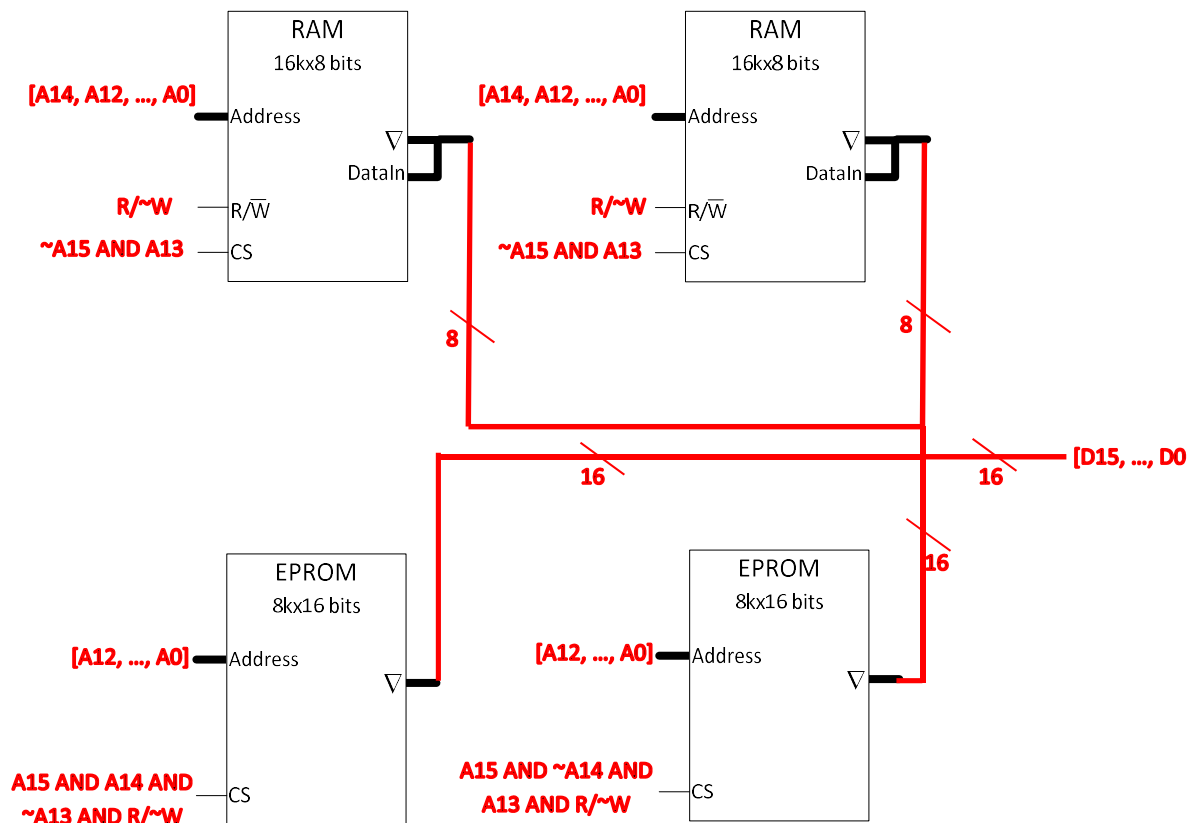
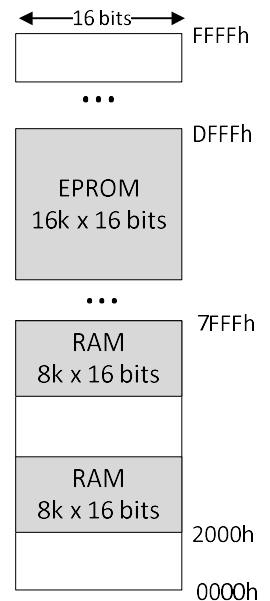
6. Projecte um sistema de memória constituído por 64k endereços e com palavras de 16 bits, de acordo com o mapa de memória ilustrado na figura.

Considere que para a concretização deste projecto dispõe dos seguintes dispositivos de memória:

- EPROM 8k x 16 bits
- RAM 16k x 8 bits

Pode utilizar os componentes que julgar mais convenientes para realizar o circuito de decodificação. [1,5 val.]

NOTA: Para garantir a legibilidade do circuito, represente as diferentes linhas de dados e de endereços através de barramentos, especificando claramente os bits que os compõem.

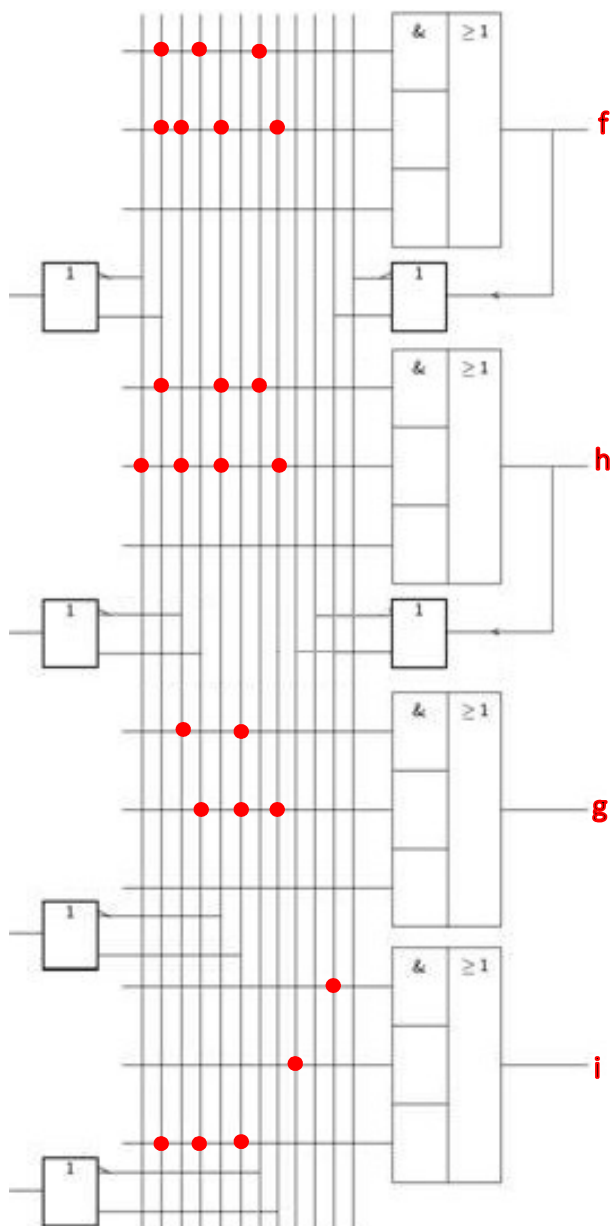


Aluno:	Nº
--------	----

7. Considere o dispositivo PAL representado abaixo. Marque com **x** nas matrizes programáveis, quais as ligações que devem ser estabelecidas por forma a implementar as seguintes funções:

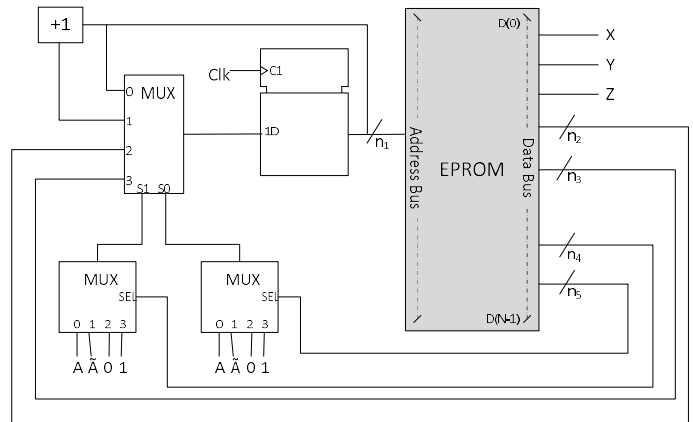
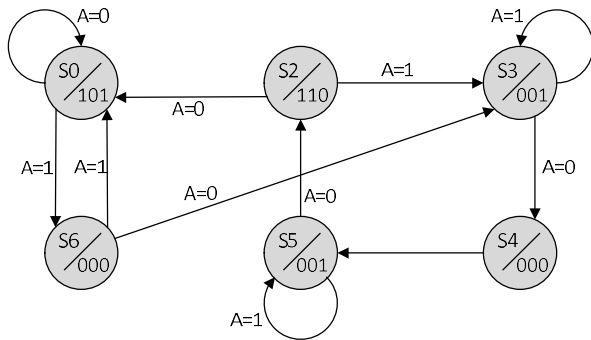
- $f(A, B, C, D) = AB\bar{D} + A\bar{B}\bar{C}D$
- $g(A, B, C, D) = \bar{B}C + BCD$
- $h(A, B, C, D) = A\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D$
- $i(A, B, C, D) = AB\bar{D} + A\bar{B}\bar{C}D + A\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + ABC$

Justifique.....[1,5 val.]



Aluno:	Nº
--------	----

8. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por uma entradas A e 3 saídas (X,Y,Z):



Pretende-se implementar este circuito através de uma máquina de estados micro-programada constituída por uma EPROM e um registo com carregamento paralelo. A codificação dos estados em CBN corresponde ao número do respetivo estado.

a) Identifique o(s) tipo(s) de endereçamento utilizado(s). Justifique.[0,5 val.]

Endereçamento implícito e também endereçamento explícito. Admite incremento, hold, ES0 e ES1.

b) Identifique (ex: letra, nome ou acrónimo) e indique a largura (nº bits) dos sinais representados no diagrama: n₁, n₂, n₃, n₄, n₅.[1,0 val.]

"n1"=Estado Presente:3bits; "n2"=ES0:3bits; "n3"=ES1:3bits; "n4"=TEST0:2bits; "n5"=TEST1:2bits

c) Determine o conteúdo da fração da EPROM que permite implementar todas as transições do diagrama de estados que saem dos estados S0 e S2 (utilize o quadriculado da página seguinte para indicar o endereço e o valor das correspondentes posições da memória tendo em conta que, na figura, D(N-1) e D0 correspondem respetivamente aos bits de maior e menor peso do barramento de dados da EPROM).[1,0 val.]

d) Indique qual a dimensão mínima da EPROM (em número de bits) por forma a garantir o funcionamento do circuito, tendo em conta este diagrama de estados (não precisa fazer qualquer normalização para uma potência inteira de 2 no que toca ao comprimento da palavra). [0,5 val.]

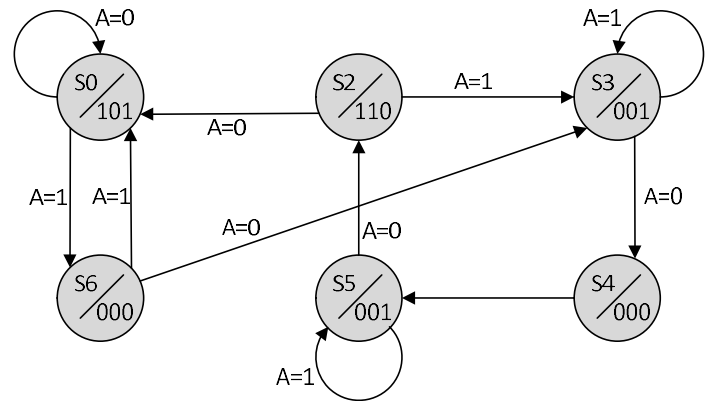
(2^3)*13=8*13=104 bits

Aluno:	Nº
--------	----



Aluno:

Nº



(Figura repetida)

Há várias soluções. Aqui estão algumas.

EP	N5(1)	N5(0)	N4(1)	N4(0)	N3(2)	N3(1)	N3(0)	N2(2)	N2(1)	N2(0)	Z	Y	X
S0	0	0	0	0	1	1	0	x	x	x	1	0	1
S0	0	0	1	1	1	1	0	0	0	0	1	0	1
S0	0	1	1	1	0	0	0	1	1	0	1	0	1
S0	1	0	0	0	x	x	x	1	1	0	1	0	1
S2	0	0	0	1	x	x	x	0	0	0	0	1	1
S2	0	0	1	1	0	1	1	0	0	0	0	1	1
S2	0	1	1	1	0	0	0	0	1	1	0	1	1
S2	1	1	0	1	0	0	0	x	x	x	0	1	1
S2	0	0	0	1	x	x	x	0	0	0	0	1	1

Aluno:	Nº
--------	----