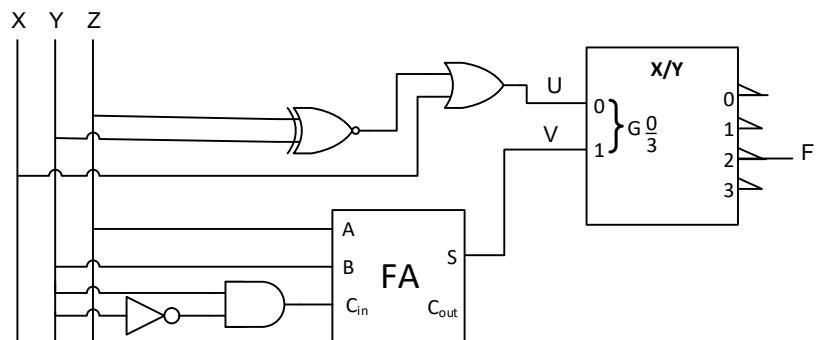


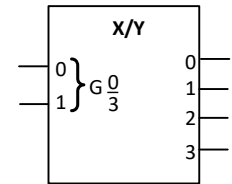
Antes de iniciar a prova, tenha em atenção o seguinte:

- i. A prova contempla 8 perguntas, distribuídas por 16 páginas, e tem a duração de 2h30m.
- ii. Existem 4 variantes distintas da prova: A, B, C e D.
- iii. A prova é sem consulta. Sobre a secretária apenas deve encontrar-se a sua identificação (cartão de estudante).
- iv. Identifique todas as folhas do enunciado com o seu nome e número mecanográfico. Recorde que logo após terminar a prova todas as páginas serão desagafadas e separadas. Folhas não identificadas não serão cotadas!!!
- v. Resolva a prova no próprio enunciado. Para cada questão é fornecido um espaço próprio, dentro do qual deverá responder. A sua dimensão está ajustada ao tamanho expectável da resposta.
- vi. Excepcionalmente, e caso realmente necessite, pode usar o espaço extra disponível das páginas em branco, colocadas ao longo da prova. Nesse caso, deve indicar junto ao enunciado da pergunta que a resposta à mesma se encontra na página que utilizou.
- vii. Justifique adequadamente todas as respostas.
- viii. Responda à prova com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

1. Considere o seguinte circuito lógico.
- a) Obtenha, através da inspeção do circuito e posterior simplificação algébrica (sem recurso a tabela de verdade), a função booleana $F(X, Y, Z)$ na forma canónica disjuntiva (soma de produtos). Justifique com todos os passos intermédios, indicando também as expressões de U e de V. [2,0 val.]



- b) Utilizando, obrigatoriamente, descodificadores com 2 entradas (ver figura), 2 buffers tri-state e um número mínimo de portas lógicas NAND de 2 entradas, assim como portas NOT, projete e implemente a função $F(A, B, C)$ dada pela tabela de verdade. [1,5 val.]



A	B	C	F(A, B, C)
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Aluno:

Nº

Pág. 2

2. Considere a função lógica $f(A, B, C, D, E)$ incompletamente especificada, definida da seguinte forma (a variável A é a de maior peso e a variável E é a de menor peso):

$$f(A, B, C, D, E) = \sum m(5, 9, 10, 12, 13, 15, 17, 22, 23, 25, 28, 30) + \sum md(0, 1, 6, 7, 8, 11, 18, 20, 21)$$

a) Complete o mapa de Karnaugh representado abaixo por forma a representar esta função. [1,0 val.]

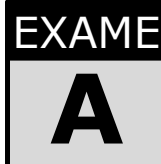
		CDE							
		AB							
		000	001	011	010	110	111	101	100
00									
01									
11									
10									

b) Identifique a expressão algébrica na forma mínima disjuntiva (soma de produtos) do seguinte mapa de Karnaugh. Justifique, marcando os implicantes primos correspondentes à função no mapa.[1,5 val.]

		CDE							
		AB							
		000	001	011	010	110	111	101	100
00		1	1	0	0	1	1	0	0
01		0	0	0	1	1	1	1	1
11		X	1	0	X	1	X	1	0
10		1	1	0	0	1	1	X	1

c) Identifique os implicantes primos essenciais e não essenciais na expressão encontrada na alínea b). Justifique.[1,5 val.]

Aluno:	Nº
--------	----



(Página deixada intencionalmente em branco.)

Aluno:

Nº

Pág. 4

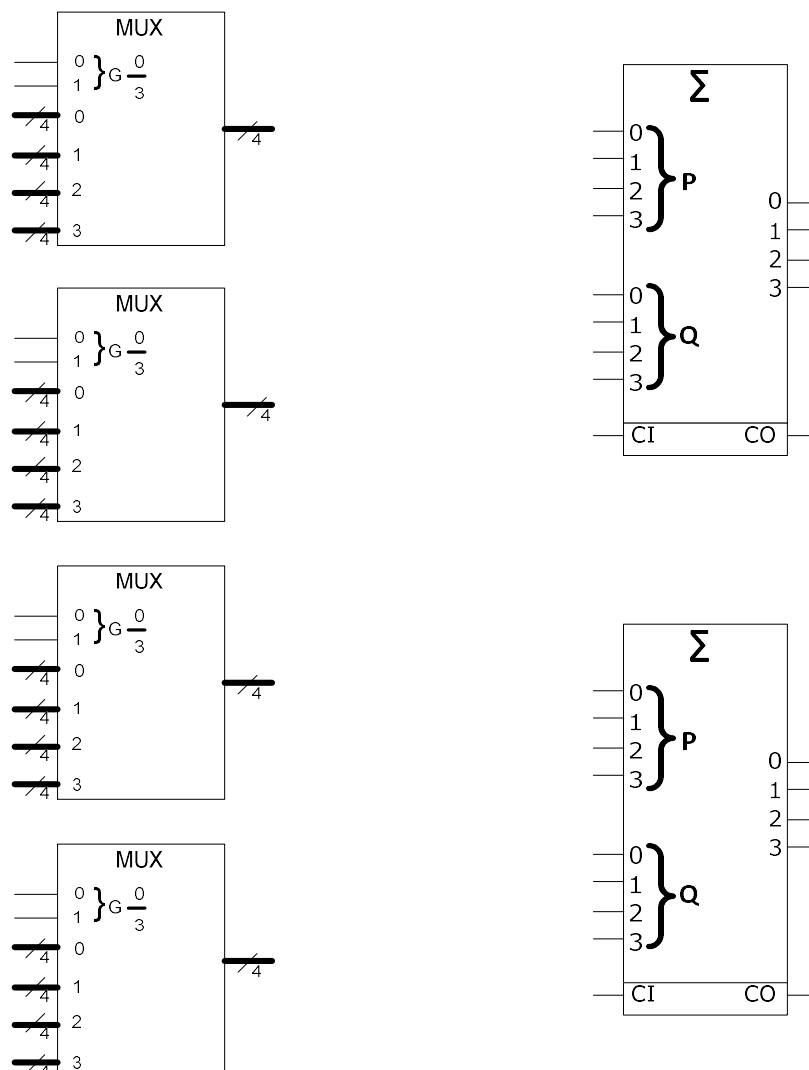
A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

3. Pretende-se projetar uma unidade aritmética que recebe duas entradas de dados A(7:0) e B(7:0), uma entrada de seleção I(1:0), tendo como saída S(7:0). O circuito deve ser capaz de implementar as seguintes operações em formato de complemento para 2:

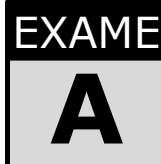
I1	I0	Operação
0	0	$-3B$
0	1	$resto(A/4)$
1	0	$2B - 3$
1	1	$2B - 4 \times A$

Complete o logigrama abaixo por forma a obter a funcionalidade desejada, utilizando o mínimo de lógica adicional. Despreze as situações de *overflow*.[2,5 val.]

Nota: Não se esqueça que pode (e deve) usar barramentos sempre que possível para simplificar o desenho do circuito. Para especificar quais os sinais que compõem um barramento, utilize a notação [x, y, z, w], em que x corresponde ao bit mais significativo.



Aluno:	Nº
--------	----



(Página deixada intencionalmente em branco.)

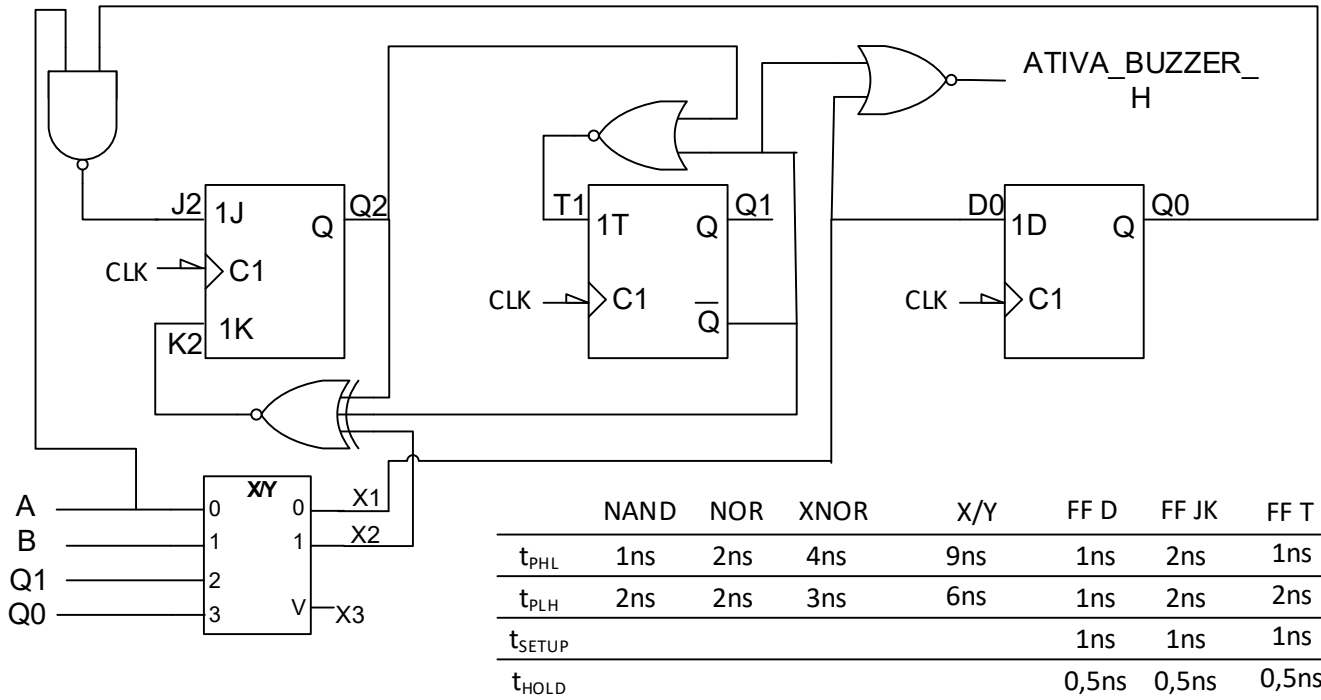
Aluno:

Nº

Pág. 6

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

4. Considere o circuito da figura e os tempos de propagação indicados na tabela:

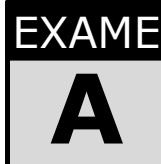


a) Complete as seguintes linhas da tabela de transição de estados.[1,5 val.]

Q_2^n	Q_1^n	Q_0^n	A	B	X1	X2	X3	J_2	K_2	T_1	D_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	ATIVA_BUZZER_H
1	0	0	0	0											
1	0	0	0	1											
1	0	0	1	0											
1	0	0	1	1											
0	1	0	0	0											
0	1	0	0	1											
0	1	0	1	0											
0	1	0	1	1											

b) Determine justificadamente o período mínimo de relógio do circuito, por forma a garantir o correto funcionamento do mesmo.[0,5 val.]

Aluno:	Nº
--------	----



(Página deixada intencionalmente em branco.)

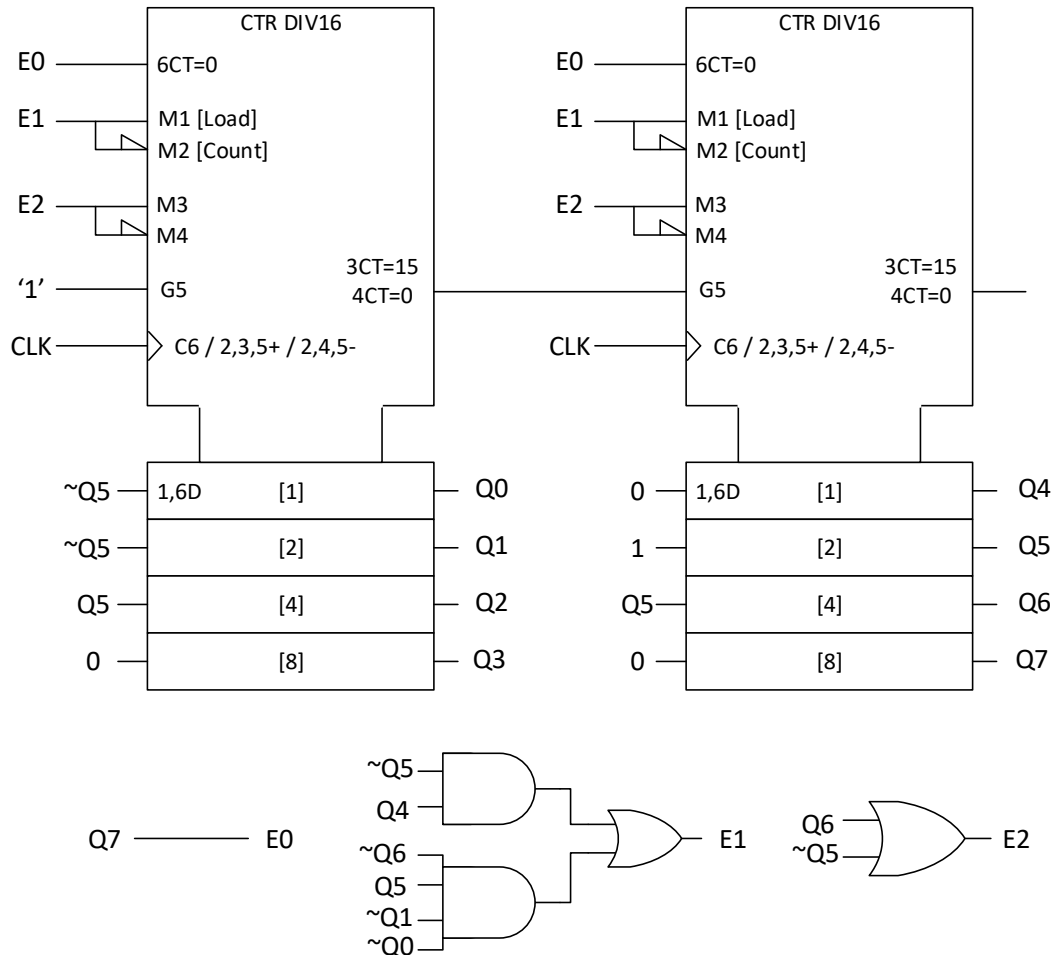
Aluno:

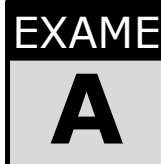
Nº

Pág. 8

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

5. Considere o circuito seguinte. Assumindo que, no início, todos os flip-flops estão a 0, indique qual a sequência de contagem. Justifique identificando os intervalos de contagem crescente e decrescente, assim como os saltos na contagem. **Nota: assuma que a operação de CLEAR (6CT=0) é prioritária em relação às outras.**.....[1,5 val.]





(Página deixada intencionalmente em branco.)

Aluno:

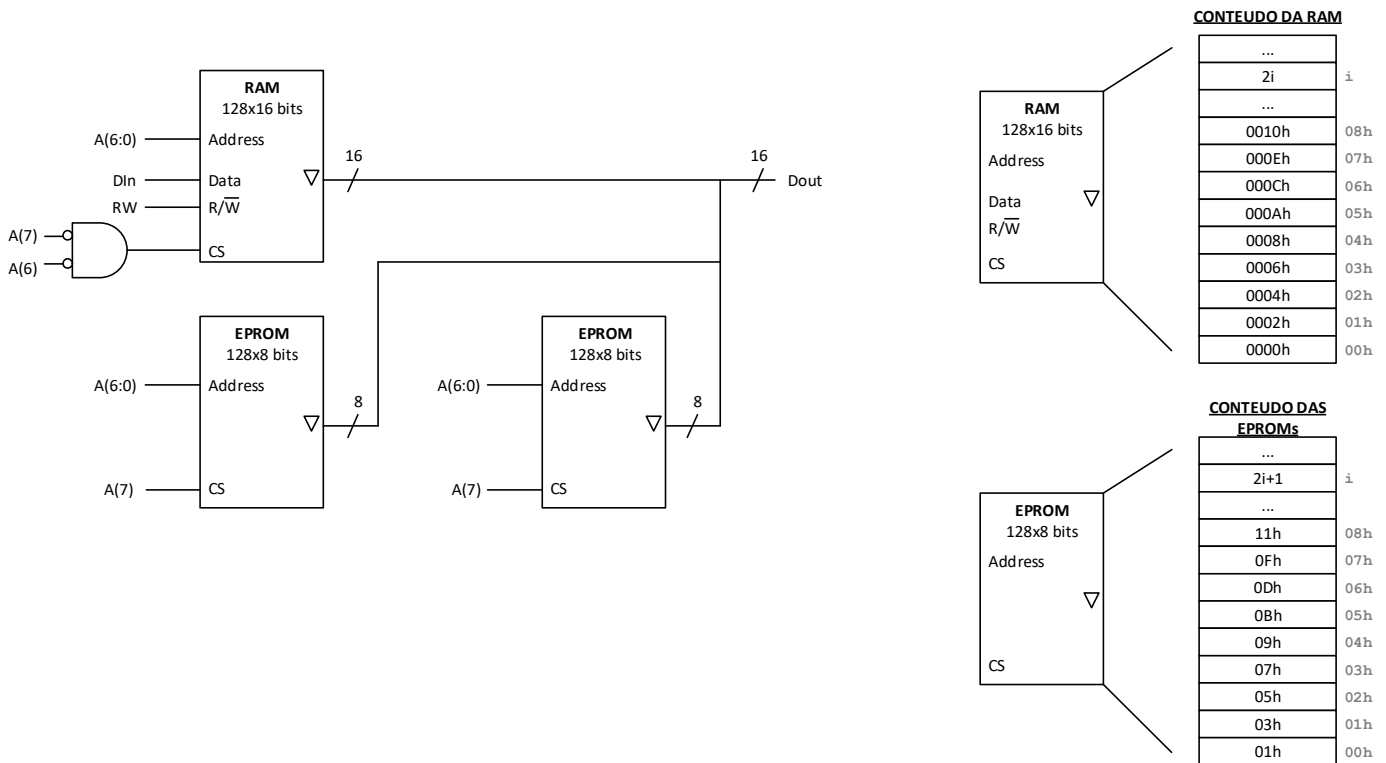
Nº

Pág. 10

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

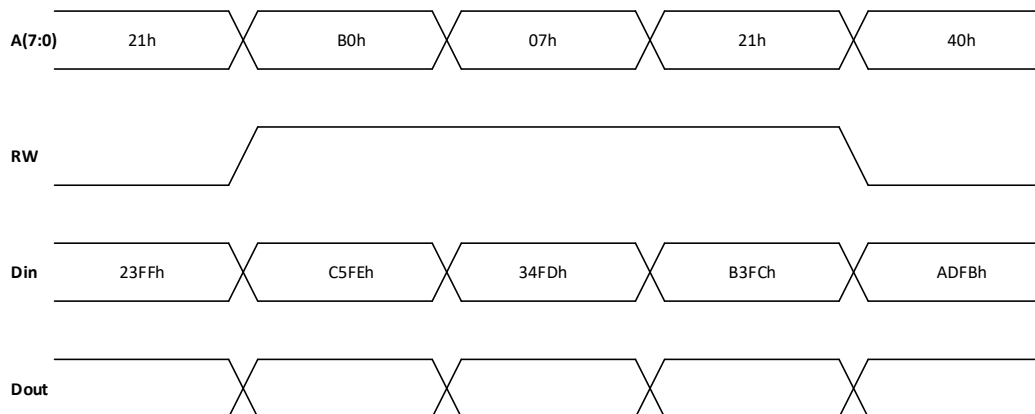
6. Considere o circuito da figura indicado em baixo e admita que inicialmente o conteúdo das memórias é o seguinte:

- O endereço i da RAM guarda uma palavra de valor $2i$
- O endereço i da EPROM guarda uma palavra de valor $2i+1$



a) Complete o diagrama temporal indicado em baixo, indicando para cada caso o valor à saída do barramento Dout.

Nota 1: Assinale com o símbolo 'Z' sempre que o barramento se encontrar em alta impedância.
 Nota 2: Assuma que a escrita é transparente, i.e., sempre que escrever um valor V num endereço A, a saída Dout toma imediatamente o valor V. [1,0 val.]

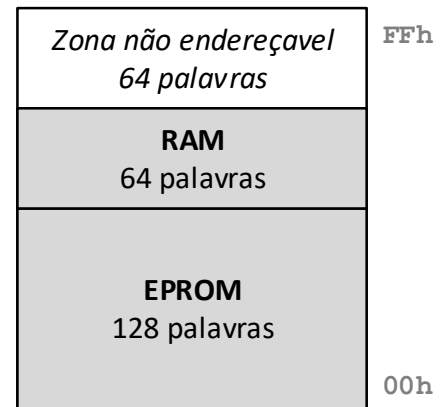


Atenção: Ver alínea b) na página seguinte.

Aluno:	Nº
--------	----



- b) Faça as alterações ao circuito que achar convenientes de forma a concretizar o mapa de memória indicado na figura ao lado. Use apenas a metade superior da RAM. [1,0 val.]



Aluno:

Nº

7. Pretende-se que seja desenvolvido um circuito com uma única saída e com uma única entrada que detecte a sequência 10110 na entrada (um bit em cada período do relógio). O circuito deve detectar sequências encadeadas, ou seja, se a sequência de entrada for 10110110011, o circuito deve activar a saída nos dois períodos do relógio em que a entrada está sublinhada.

a) Em face das especificações enunciadas, indique qual o tipo de máquina que mais se adequa a este funcionamento: Moore ou Mealy? Justifique.[0,5 val.]

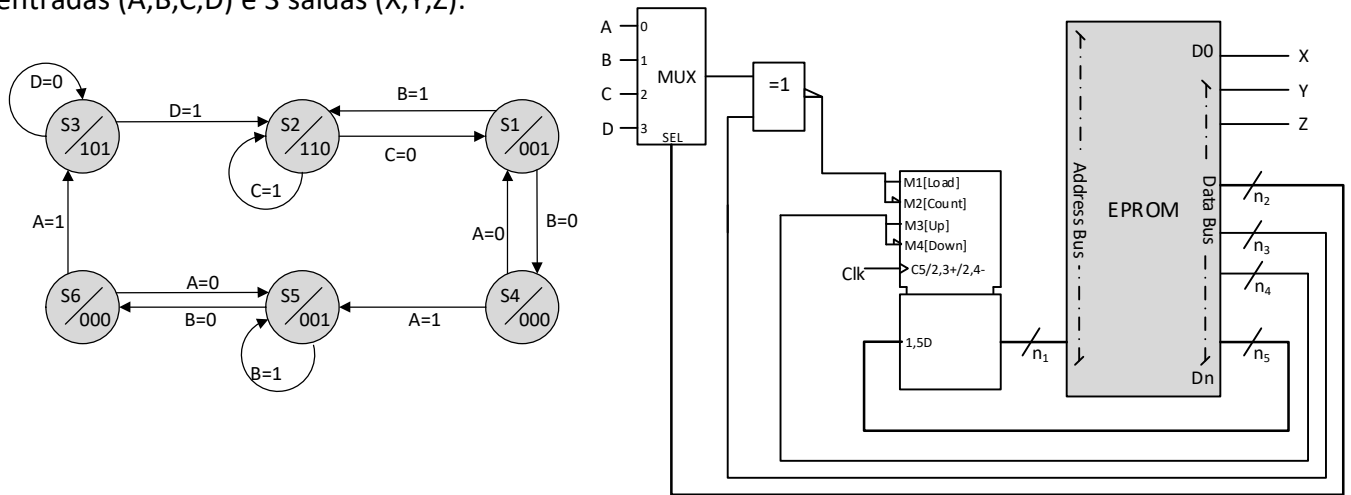
b) Esboce o diagrama de estados correspondente a esta máquina. Tome as decisões e/ou simplificações que julgar mais razoáveis. Justifique a resposta, explicando sucintamente o funcionamento da máquina de estados.[1,0 val.]

Aluno:

Nº

Pág. 13

8. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por 4 entradas (A,B,C,D) e 3 saídas (X,Y,Z):



Pretende-se implementar este circuito através de uma máquina de estados micro-programada constituída por uma EPROM e um contador binário com carregamento paralelo. A codificação dos estados em CBN corresponde ao número do respetivo estado.

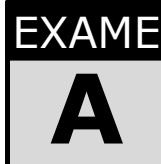
- a) Identifique o tipo de endereçamento utilizado. Justifique.[0,5 val.]

- b) Identifique (ex: letra, nome ou acrónimo) e indique a largura (n^o bits) dos sinais representados no diagrama: n_1, n_2, n_3, n_4, n_5[1,0 val.]

- c) Determine o conteúdo da fração da EPROM que permite implementar todas as transições do diagrama de estados que saem dos estados S1 e S3 (utilize o quadriculado da página seguinte para indicar o endereço e o valor das correspondentes posições da memória, tendo o cuidado de colocar os bits menos significativos à direita e os bits mais significativos à esquerda). [1,0 val.]

- d) Indique qual a dimensão mínima da EPROM (em número de bits) por forma a garantir o funcionamento do circuito, tendo em conta este diagrama de estados (não faça qualquer normalização para uma potência inteira de 2).[0,5 val.]

Aluno:	Nº
--------	----



(Página deixada intencionalmente em branco.)

Aluno:

Nº

Pág. 16

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.