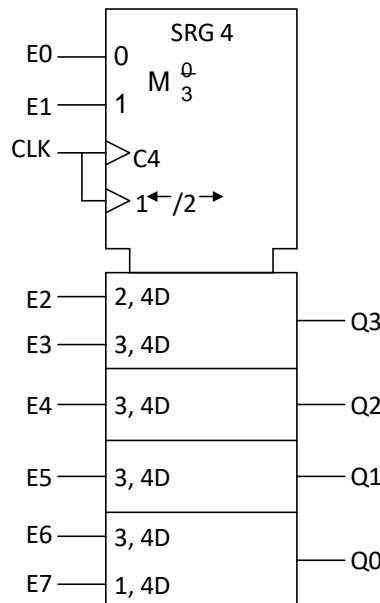


2. Considere uma máquina de estados com entrada A e bits de estado Q3, Q2, Q1 e Q0. Complete a tabela de transição de estados realizada com base no circuito da figura, considerando as transições nela representadas. Justifique, identificando na tabela as operações realizadas pelo registo em cada transição. **Nota: A operação de carregamento em paralelo (LOAD) só será aceite se não houver uma operação alternativa que conduza ao mesmo resultado. Os sinais indiferentes para determinada operação têm obrigatoriamente de ser marcados como indiferenças.**[3,0 val.]

Consider the state machine with input A and state bits Q3, Q2, Q1 and Q0. Complete the state transition table corresponding to an implementation using the circuit depicted in the figure, considering the provided state transitions. Justify, identifying the operation performed by the circuit in each transition. **Note: The parallel LOAD operation will only be accepted in case there is no other alternative leading to the same result. The signals that don't care to a given operation must mandatorily be marked as don't cares.**[3,0 val.]



$Q_3^n Q_2^n Q_1^n Q_0^n$	A	E0	E1	E2	E3	E4	E5	E6	E7	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	Operação SRG SRG Operation
0000	0	1	0	X	X	X	X	X	1	0001	SHL
0000	1	1	1	X	1	0	0	1	X	1001	LOAD
0001	0	0	1	1	X	X	X	X	X	1000	SHR
0001	1	1	1	X	1	0	0	1	X	1001	LOAD
1000	0	0	1	1	X	X	X	X	X	1100	SHR
1000	1	0	0	X	X	X	X	X	X	1000	HOLD
1001	0	1	1	X	0	0	0	0	X	0000	LOAD
1001	1	0	1	1	X	X	X	X	X	1100	SHR
1100	0	1	0	X	X	X	X	X	1	1001	SHL
1100	1	1	0	X	X	X	X	X	0	1000	SHL

Aluno:

Nº

Pág. 1



(Página deixada intencionalmente em branco.)

Aluno:	Nº
--------	----