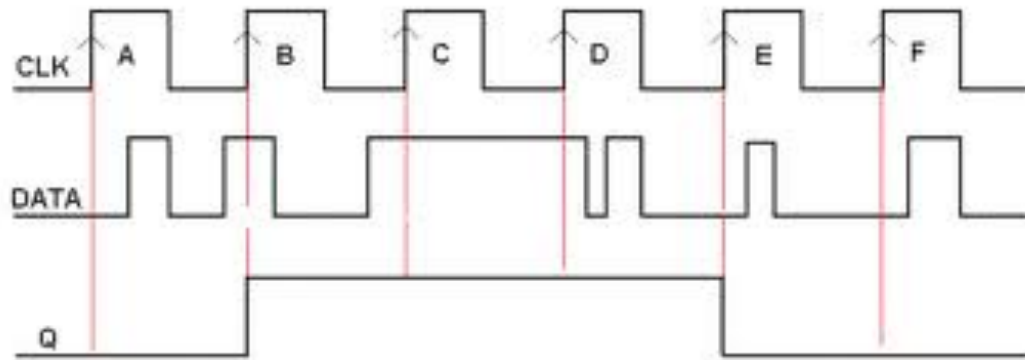


Sistemas Digitais (SD)

Circuitos Sequenciais Básicos: Caracterização Temporal



- **Na aula anterior:**
 - ▶ Flip-Flops
 - Flip-flop master-slave
 - Flip-flop JK
 - Flip-flop edge-triggered
 - ▶ Simbologia

SEMANA	TEÓRICA 1	TEÓRICA 2	PROBLEMAS/LABORATÓRIO
17/Fev a 21/Fev	Introdução	Sistemas de Numeração	
24/Fev a 28/Fev	CARNAVAL	Álgebra de Boole	P0
02/Mar a 06/Mar	Elementos de Tecnologia	Funções Lógicas	VHDL
9/Mar a 13/Mar	Minimização de Funções	Minimização de Funções	L0
16/Mar a 20/Mar	Def. Circuito Combinatório; Análise Temporal	Circuitos Combinatórios	P1
23/Mar a 27/Mar	Circuitos Combinatórios	Circuitos Combinatórios	L1
30/Mar a 03/Abr	Circuitos Sequenciais: Latches	Circuitos Sequenciais: Flip-Flops	P2
06/Abr a 10/Abr	FÉRIAS DA PÁScoa	FÉRIAS DA PÁScoa	FÉRIAS DA PÁScoa
13/Abr a 17/Abr	Caracterização Temporal	Registos	L2
20/Abr a 24/Abr	Contadores	Circuitos Sequenciais Síncronos	P3
27/Abr a 01/Mai	Síntese de Circuitos Sequenciais Síncronos	Síntese de Circuitos Sequenciais Síncronos	L3
04/Mai a 08/Mai	Exercícios	Memórias	P4
11/Mai a 15/Mai	Máq. Estado Microprogramadas: Circuito de Dados e Circuito de Controlo	Máq. Estado Microprogramadas: Microprograma	L4
18/Mai a 22/Mai	Circuitos de Controlo, Transferência e Processamento de Dados de um Processador	Lógica Programável	P5
25/Mai a 29/Mai	P6	P6	L5

Teste 1

- **Tema da aula de hoje:**

- ▶ Caracterização temporal
- ▶ Metodologia de sincronização temporal

- **Bibliografia:**

- M. Mano, C. Kime: Secções 5.3 e 5.6
- G. Arroz, J. Monteiro, A. Oliveira: Secção 6.4

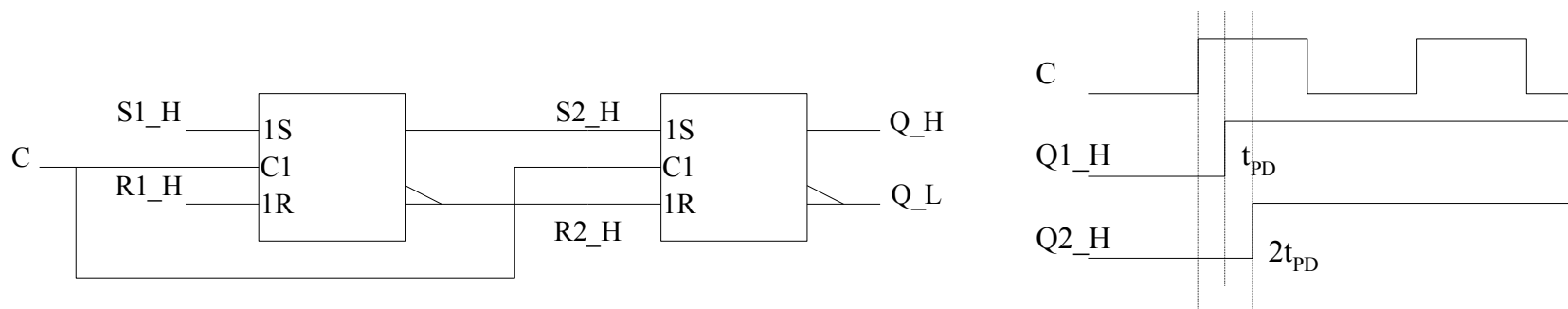
■ Latches e Flip-flops (revisão)

- ▶ Os circuitos básicos de memória podem ser classificados em:
 - Latches
 - Flip-flops.
- ▶ Os latches mudam as saídas imediatamente após uma variação nas entradas (diz-se que as saídas são transparentes).
- ▶ Os flip-flops mudam as saídas apenas quando há uma variação do relógio.

■ Latches e Flip-flops

- ▶ Se as entradas de um latch mudam enquanto o relógio está a 1, o seu estado muda imediatamente. Esta mudança pode implicar novas mudanças de estado noutros latches, o que pode originar uma sequência imprevisível de mudanças de estado no circuito.

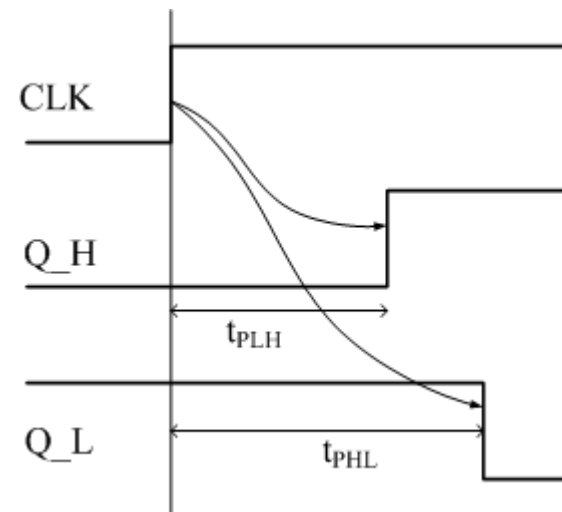
Exemplo: $(S1=0, R1=0) \rightarrow (S1=1, R1=0)$:



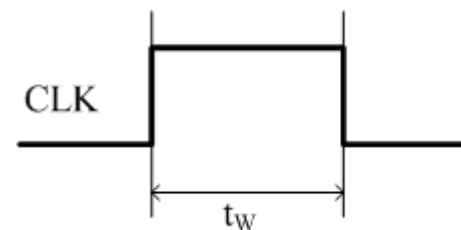
A ordem de SET ($S1=1, R1=0$) propaga-se no mesmo ciclo de relógio ao 2º latch!

■ Caracterização Temporal

- ▶ Tempo de atraso ou de propagação (t_{pLH} , t_{pHL})

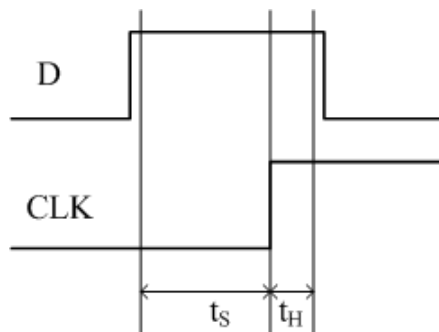


- ▶ Duração mínima de um pulso de relógio (t_w)

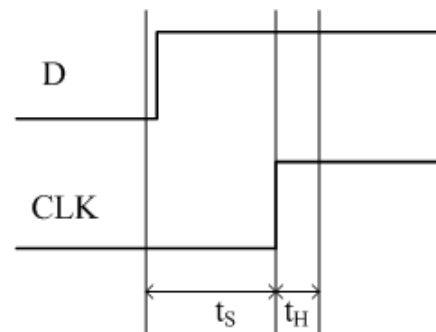


■ Tempos de Preparação e de Manutenção

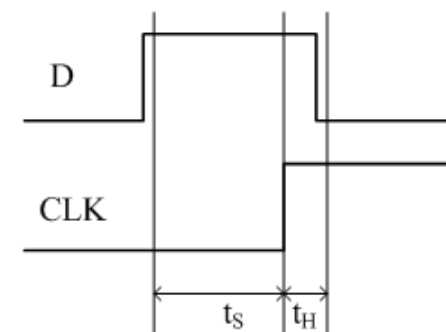
- ▶ O **tempo de preparação (t_s – SETUP)** é a duração mínima do intervalo de tempo, antes da transição ativa de relógio, durante o qual as entradas de dados não podem variar.
- ▶ O **tempo de manutenção (t_H – HOLD)** é a duração mínima do intervalo de tempo, após a transição ativa de relógio, durante o qual as entradas de dados não podem variar.



OK



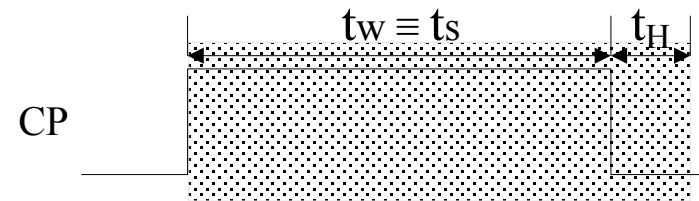
**Violação de
SETUP**



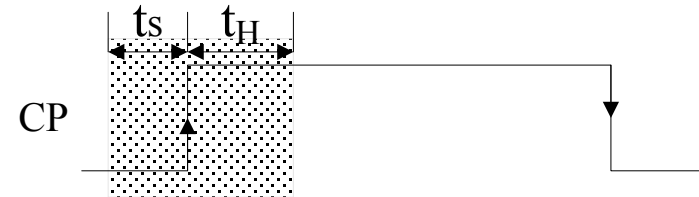
**Violação de
HOLD**

- Caracterização dos t_s , t_w e t_h para os diversos FFs

Pulse-Triggered (Master-Slave)
Negativo



Edge-Triggered Positivo



Edge-Triggered Negativo



■ Metodologia de Sincronização Temporal

- ▶ Em sistemas síncronos, o funcionamento adequado significa que, para cada evento de relógio, todos os FFs examinam as suas entradas e determinam os seus novos estados.

Isto obriga a que:

- Os valores de entrada correctos têm de ser disponibilizados, a tempo, aos FFs que vão mudar de estado.
- Nenhum flip-flop pode mudar de estado mais do que uma vez durante o mesmo evento de relógio.

■ Metodologia de Sincronização Temporal

► Exemplo:

$$E=1, Q_0(0)=Q_1(0)=1$$

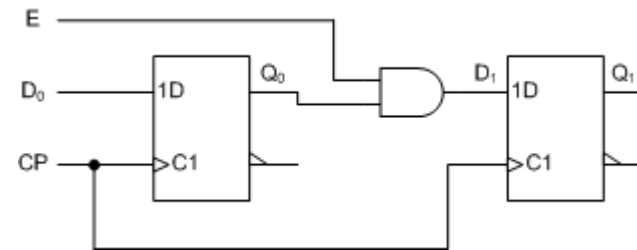
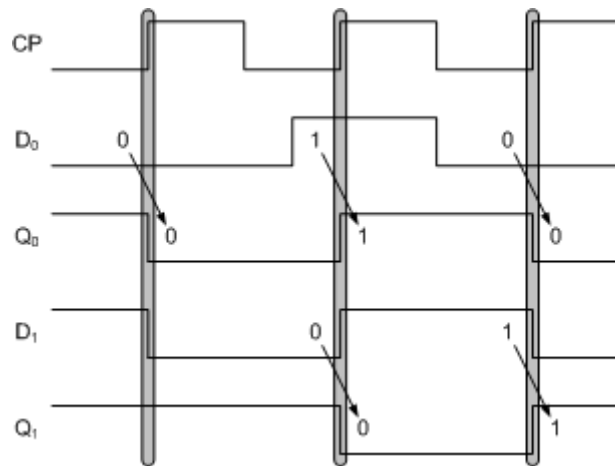


Diagrama temporal considerando os tempos de atraso desprezáveis:



■ Comportamento Temporal

- ▶ As entradas dos FFs têm de estar estáveis um Tempo de Setup antes do flanco de relógio, e um Tempo de Hold depois do flanco de relógio.
 - O tempo de propagação de um FF é habitualmente muito maior que o tempo de hold, portanto a verificação da condição de hold nunca é problema.
- ▶ Para garantir a condição de setup é necessário que a variação provocada pelo 1º evento de relógio, chegue à entrada do FF um tempo de setup antes do 2º flanco de relógio.

■ Metodologia de Sincronização Temporal

► Exemplo:

$$E=1, Q_0(0)=Q_1(0)=1$$

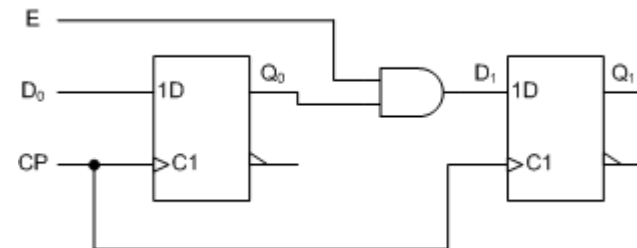
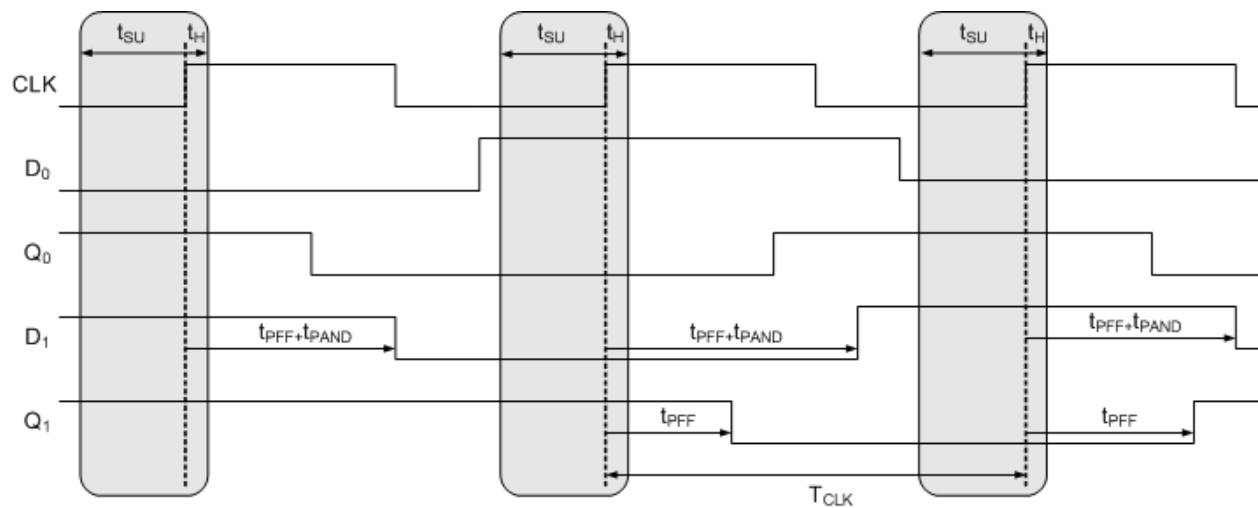


Diagrama temporal considerando os tempos de atraso não desprezáveis:



■ Comportamento Temporal (cont.)

- ▶ Para uma frequência de relógio demasiado elevada, o circuito deixa de funcionar correctamente.
- ▶ O funcionamento correcto exige:

$$t_{P_{FF}} + t_{P_{LÓGICA}} \leq T_{CLK} - t_{SU}$$

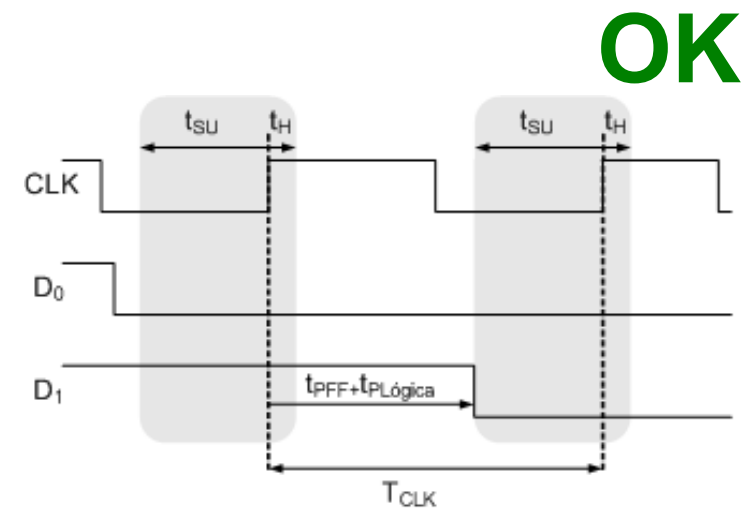
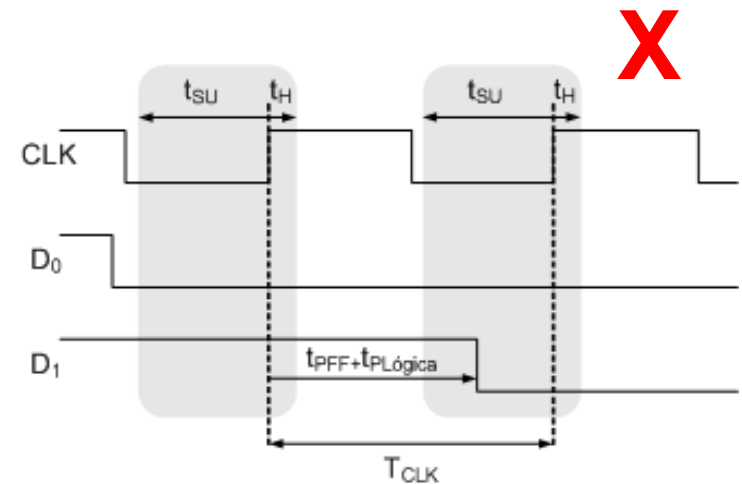
$$T_{CLK} \geq t_{P_{FF}} + t_{P_{LÓGICA}} + t_{SU}$$

$$f_{CLK} \leq \frac{1}{t_{P_{FF}} + t_{P_{LÓGICA}} + t_{SU}}$$

- ▶ O caso limite é:

$$T_{\min_{CLK}} = t_{P_{FF}} + t_{P_{LÓGICA}} + t_{SU}$$

$$f_{\max_{CLK}} = \frac{1}{t_{P_{FF}} + t_{P_{LÓGICA}} + t_{SU}}$$



■ Exemplo: contador up/down

▶ Especificações:

- Contagem entre 0h e Fh → 4 bits
- Dois modos de funcionamento:
 - Incremento
 - Decremento
- Dois botões:
 - Selecção do modo de funcionamento (inc/dec)
 - Avanço da contagem

▶ Requisitos:

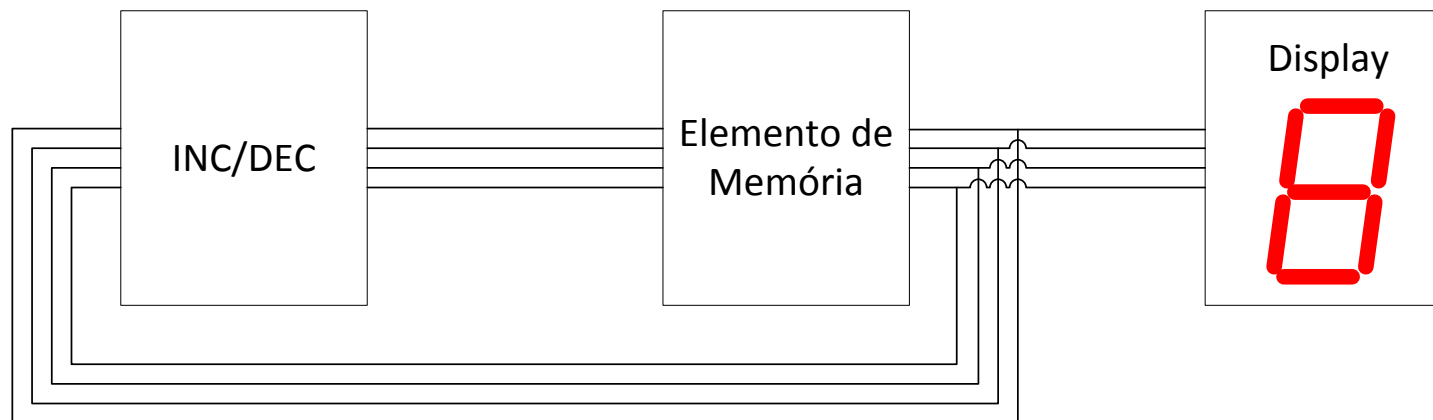
- Display de 7 segmentos
- Elemento de memória (4 bits)
- Incrementador/Decrementador
- 2 Botões



■ Exemplo: contador up/down

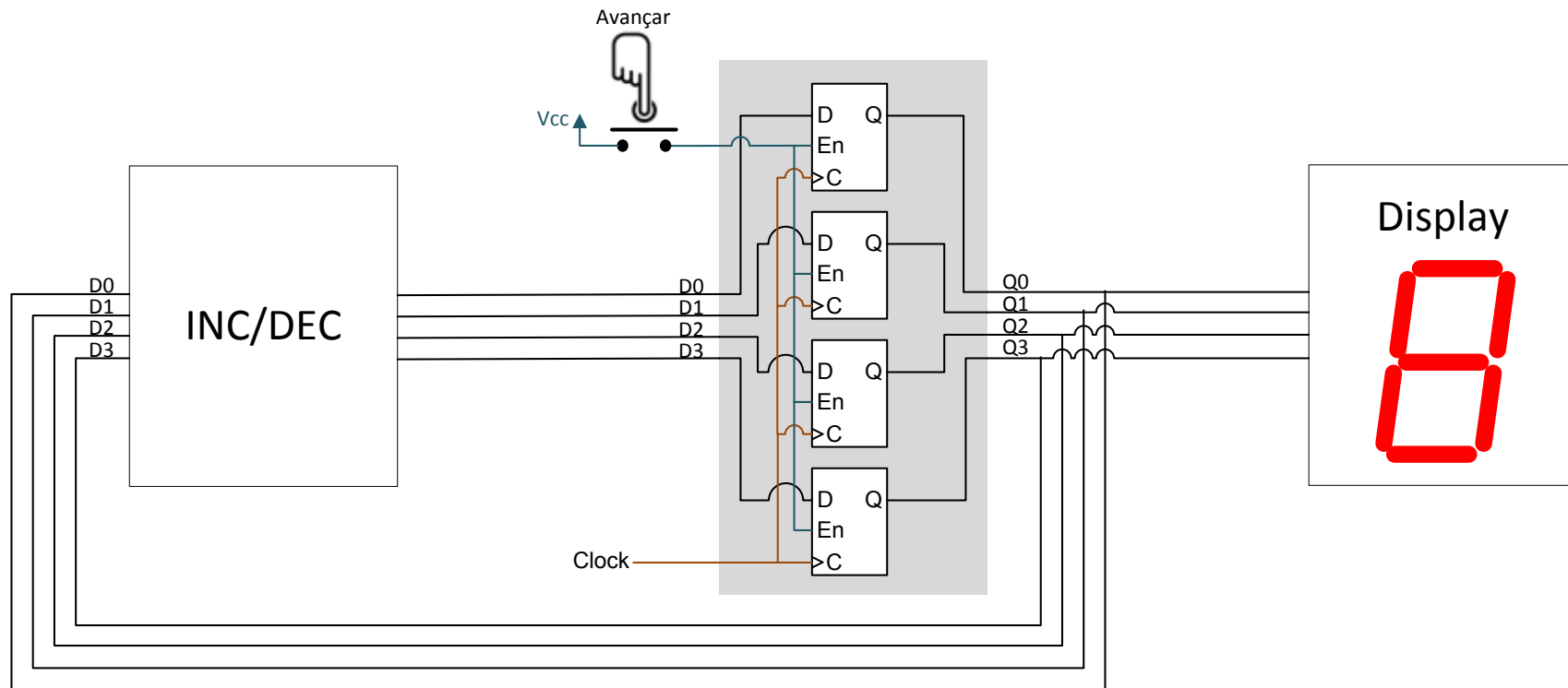
▶ Requisitos:

- Display de 7 segmentos
- Elemento de memória (4 bits)
- Incrementador/Decrementador
- 2 Botões



■ Exemplo: contador up/down

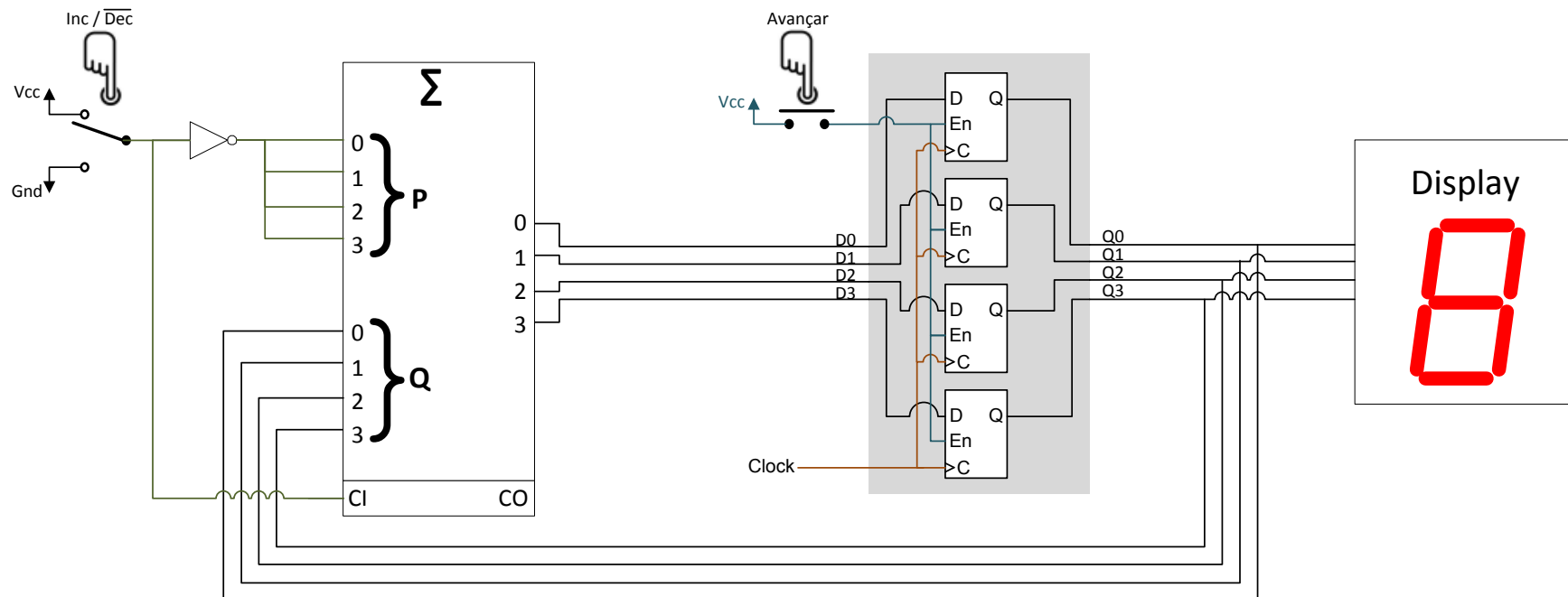
- ▶ Elemento de memória: conjunto de 4 flip-flops tipo D



■ Exemplo: contador up/down

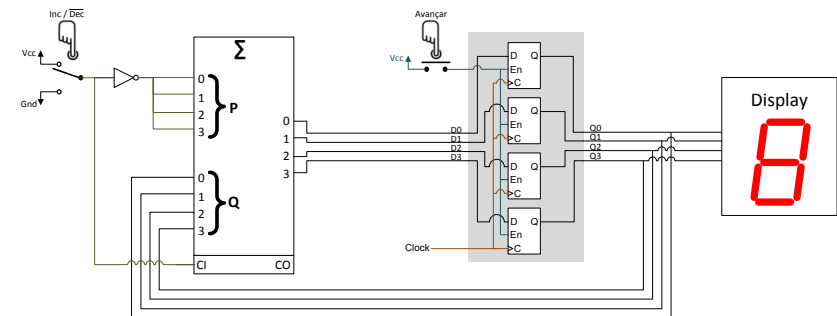
- ▶ Incrementador/Decrementador: somador de 4 bits

P	Q	Cin	S
'0000'	A	1	A+1
'1111'	A	0	A-1



■ Exemplo: contador up/down

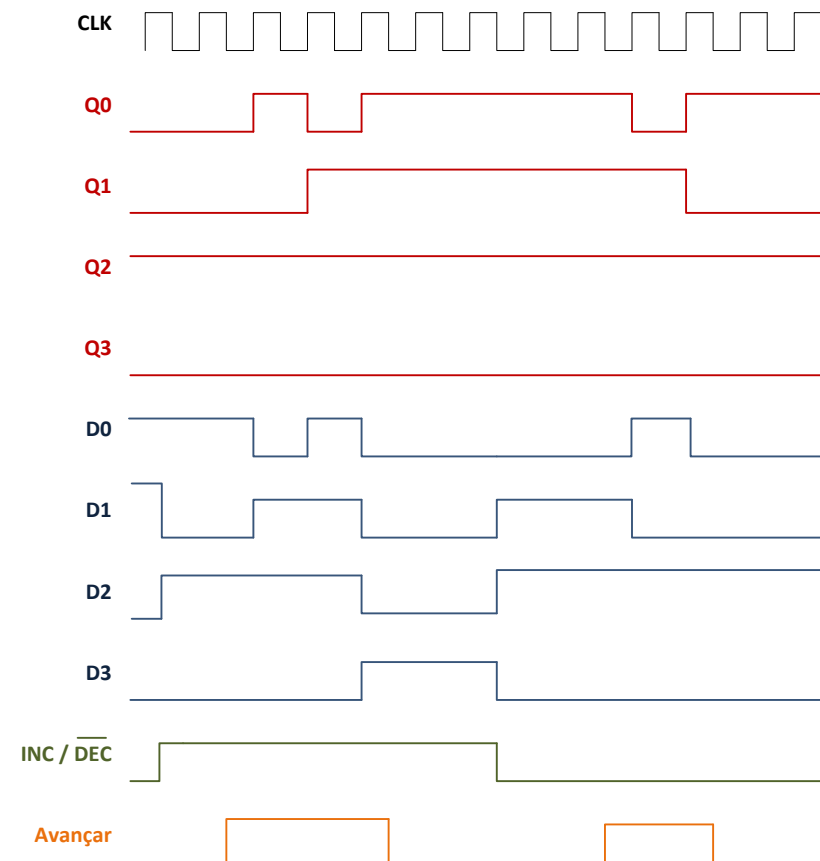
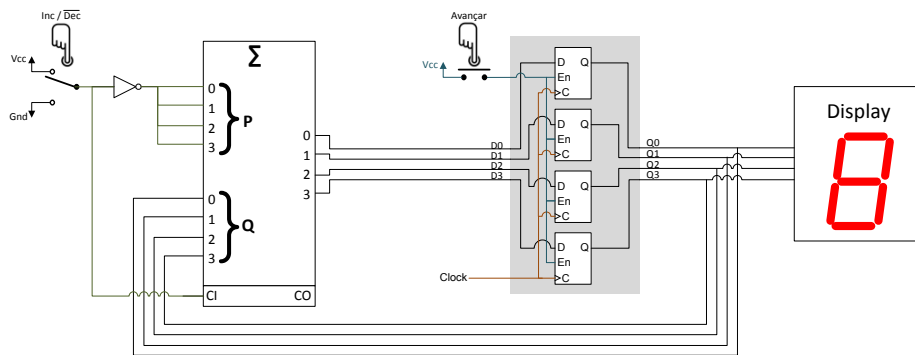
► Tabela de transição de estados:



Entradas		Estado Presente				Estado Seguinte			
Avançar	Inc/Dec	$Q_3(n-1)$	$Q_2(n-1)$	$Q_1(n-1)$	$Q_0(n-1)$	$Q_3(n)$	$Q_2(n)$	$Q_1(n)$	$Q_0(n)$
				(...)					
1	1	0	1	1	0	0	1	1	1
1	1	0	1	1	1	1	0	0	0
1	1	1	0	0	0	1	0	0	1
1	1	1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	0	0	1
1	0	1	0	0	1	1	0	0	0
1	0	1	0	0	0	0	1	1	1
1	0	0	1	1	1	0	1	1	0
0	X	1	0	0	0	1	0	0	0
0	X	1	0	0	1	1	0	0	1
				(...)					

■ Exemplo: contador up/down

► Diagrama temporal:



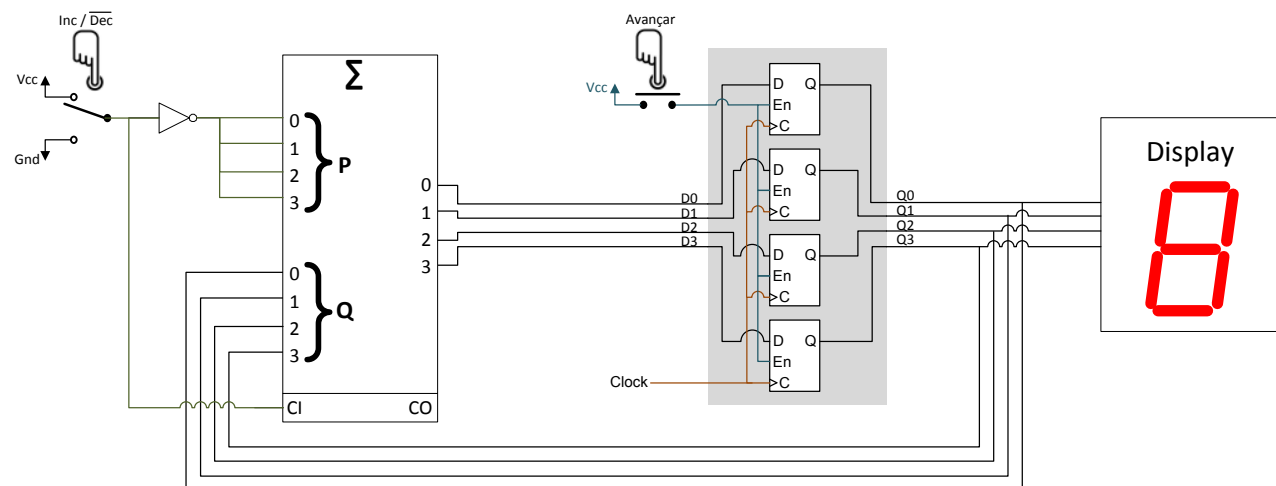
■ Exemplo: contador up/down

- ▶ Cálculo da máxima frequência de funcionamento:

$$t_{\text{PFF}} = 30\text{ns}$$

$$t_{\text{SU}} = 5\text{ns}$$

$$t_{\text{PADDR}} = 65\text{ns}$$



- ▶ $T_{\text{minCLK}} = (30\text{ns} + 65\text{ns} + 5\text{ns}) = 100\text{ns}$
- ▶ $f_{\text{maxCLK}} = 1/100\text{ns} = 10 \text{ MHz}$

■ Tema da Próxima Aula:

- ▶ Registos
 - Registos simples
 - Registos de deslocamento
 - Registos multimodo

Agradecimentos

Algumas páginas desta apresentação resultam da compilação de várias contribuições produzidas por:

- Nuno Roma
- Guilherme Arroz
- Horácio Neto
- Nuno Horta
- Pedro Tomás