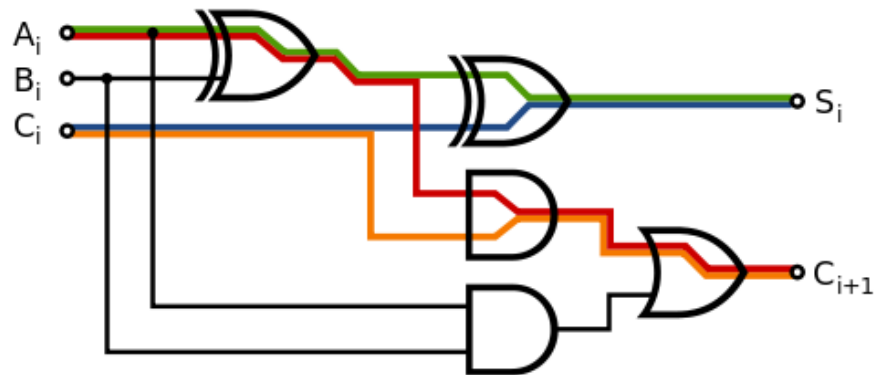


# Sistemas Digitais (SD)

Definição de Circuito Combinatório  
Tempo de Propagação de um Circuito



## ■ Na aula anterior:

### ▶ Minimização de Karnaugh:

- Agrupamentos de uns e zeros:
  - Eixos de simetria;
  - Implicantes e implicados;
  - Implicantes e implicados primos;
  - Implicantes e implicados primos essenciais.
- Método de minimização de Karnaugh:
  - Algoritmo de minimização;
  - Forma normal/mínima disjuntiva;
  - Forma normal/mínima conjuntiva;
  - Funções incompletamente especificadas.



SEMANA	TEÓRICA 1	TEÓRICA 2	PROBLEMAS/LABORATÓRIO
17/Fev a 21/Fev	Introdução	Sistemas de Numeração	
24/Fev a 28/Fev	<b>CARNAVAL</b>	Álgebra de Boole	P0
02/Mar a 06/Mar	Elementos de Tecnologia	Funções Lógicas	VHDL
9/Mar a 13/Mar	Minimização de Funções	Minimização de Funções	L0
16/Mar a 20/Mar	Def. Circuito Combinatório; Análise Temporal	Circuitos Combinatórios	P1
23/Mar a 27/Mar	Circuitos Combinatórios	Circuitos Combinatórios	L1
30/Mar a 03/Abr	Circuitos Sequenciais: Latches	Circuitos Sequenciais: Flip-Flops	P2
06/Abr a 10/Abr	<b>FÉRIAS DA PÁScoa</b>	<b>FÉRIAS DA PÁScoa</b>	<b>FÉRIAS DA PÁScoa</b>
13/Abr a 17/Abr	Caracterização Temporal	Registos	L2
20/Abr a 24/Abr	Contadores	Circuitos Sequenciais Síncronos	P3
27/Abr a 01/Mai	Síntese de Circuitos Sequenciais Síncronos	Síntese de Circuitos Sequenciais Síncronos	L3
04/Mai a 08/Mai	Exercícios	Memórias	P4
11/Mai a 15/Mai	Máq. Estado Microprogramadas: Circuito de Dados e Circuito de Controlo	Máq. Estado Microprogramadas: Microprograma	L4
18/Mai a 22/Mai	Circuitos de Controlo, Transferência e Processamento de Dados de um Processador	Lógica Programável	P5
25/Mai a 29/Mai	P6	P6	L5

## ■ Tema da aula de hoje:

- ▶ Noção de circuito combinatório;
- ▶ Tempo de propagação num circuito;
- ▶ Dispositivos lógicos especiais:
  - Buffer de três estados (*tri-state*);
  - Portas de passagem (*transmission gates*).

## □ Bibliografia:

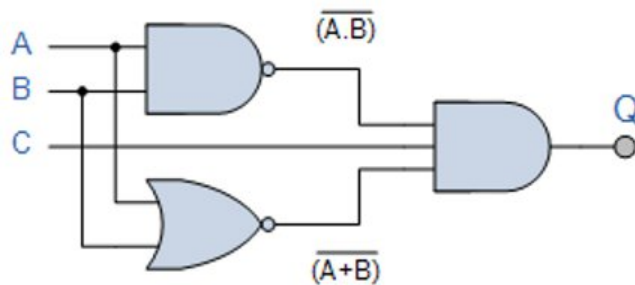
- **M. Mano, C. Kime:** Secções 3.1.4, 3.4 e 3.1.6
- **G. Arroz, J. Monteiro, A. Oliveira:** Secção 6.2 e 2.10



# NOÇÃO DE CIRCUITO COMBINATÓRIO

## ■ Circuito Combinatório:

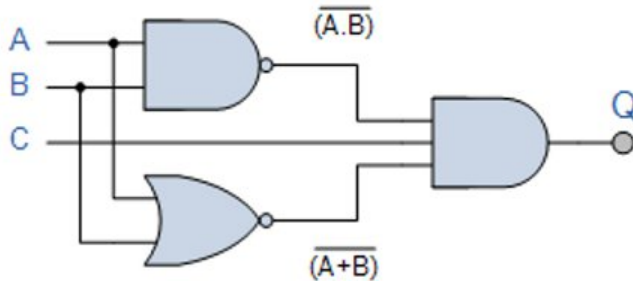
- ▶ A saída é uma função que depende apenas das entradas actuais;
- ▶ Definido através de:
  - **Função Booleana** – Ex:  $Q = (\overline{A.B}).(\overline{A+B}).C$
  - **Diagrama lógico**
  - **Tabela de verdade**



C	B	A	Q
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

## ■ Circuito Combinatório:

- ▶ A saída é uma função que depende apenas das entradas actuais;



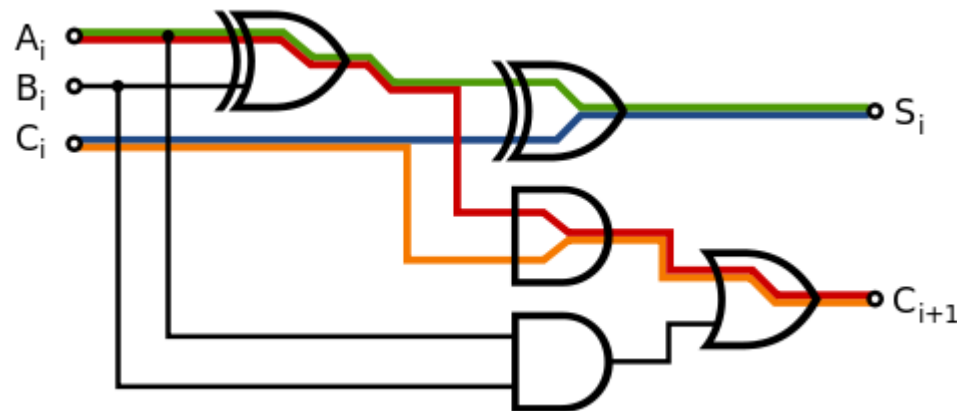
- ▶ Definido em contraste com a noção de **circuito sequencial**, em que a saída depende não só das entradas actuais, mas também dos valores anteriores dessas entradas...

i.e., circuitos sequenciais têm “efeito de memória”, enquanto que um circuito combinatório não.

**↳ Veremos daqui a algumas semanas...**

## ■ Circuito Combinatório:

- ▶ Até ao momento, tem-se assumido um modelo **ideal** dos circuitos lógicos, em que a saída muda *instantaneamente* face aos valores na entrada do circuito.
- ▶ Na realidade, todos os circuitos caracterizam-se por um certo **tempo de propagação**, entre as entradas e as saídas, e que depende no número e complexidade de portas lógicas envolvidas:



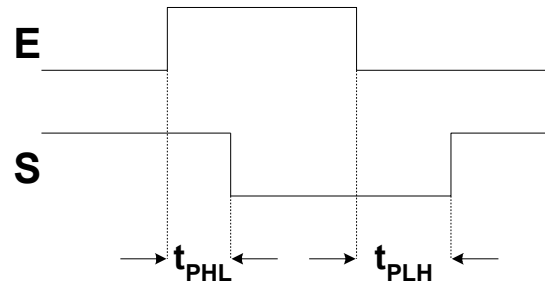
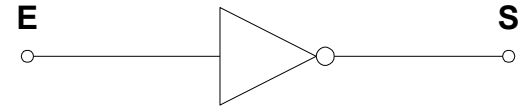




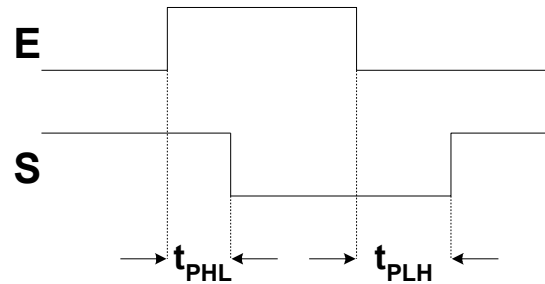
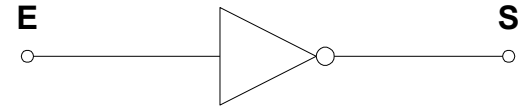
# Tempo de Propagação num Circuito Lógico

- **Tempo de Propagação:**  
corresponde ao intervalo de tempo necessário para que uma alteração na entrada se propague até à saída de uma determinada porta lógica ou circuito combinatório.

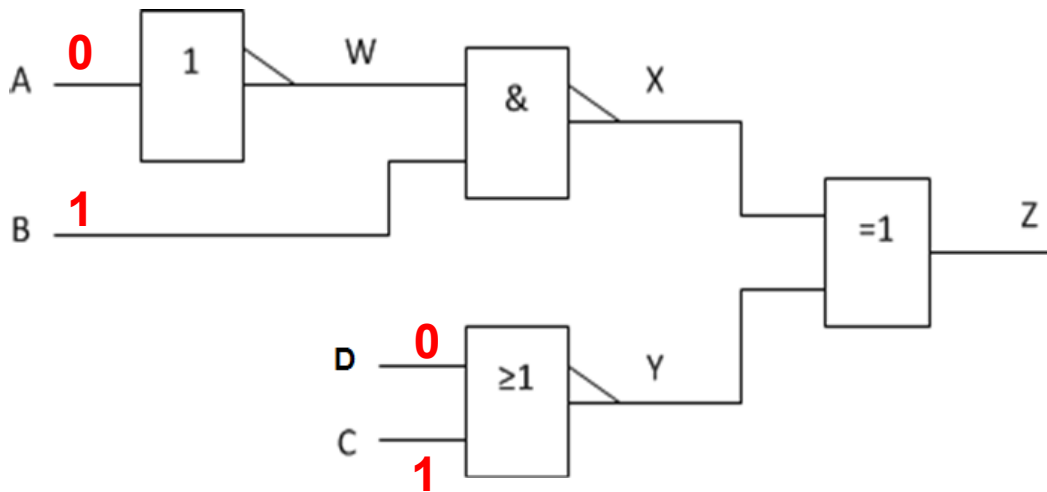
- ▶  $t_{PHL}$  - Tempo de propagação de H para L na saída, desde a variação da entrada.
- ▶  $t_{PLH}$  - Tempo de propagação de L para H na saída, desde a variação da entrada.



- Exemplo (para TTL LS):
  - ▶ Valores Típicos: 8 a 10 ns
  - ▶ Valores Máximos: 15 a 20 ns
- **ATENÇÃO:** Em geral, os tempos de propagação aumentam com o número de entradas ligadas à saída da porta lógica (fan-out).
- Na determinação do atraso máximo na propagação de um sinal através de um circuito combinatório consideram-se, sempre, os valores máximos.

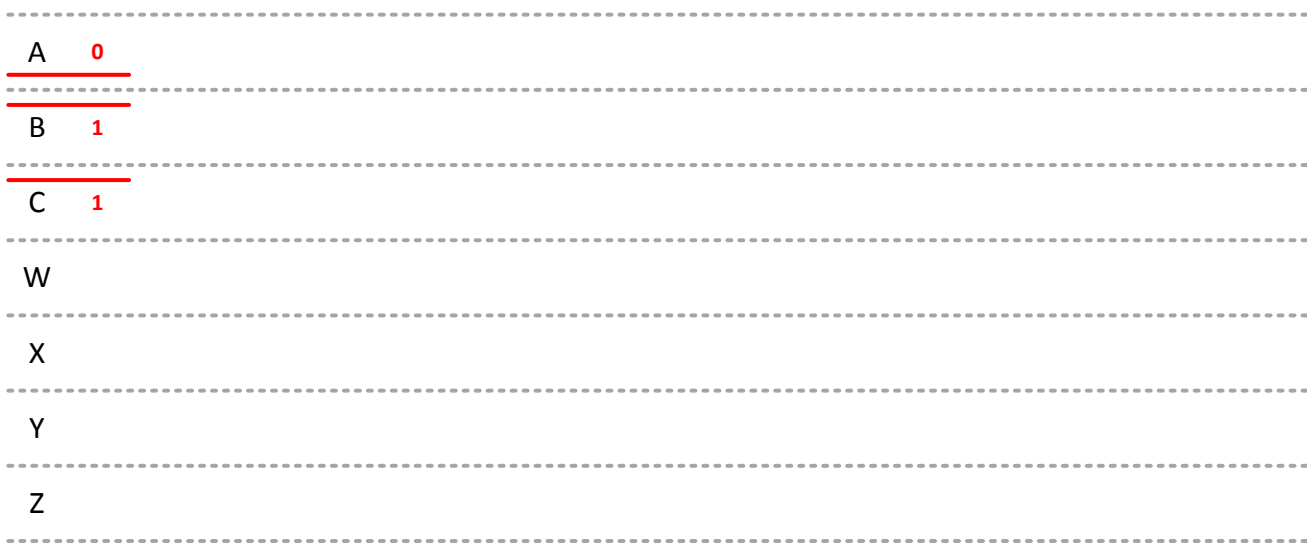


# Diagrama Temporal

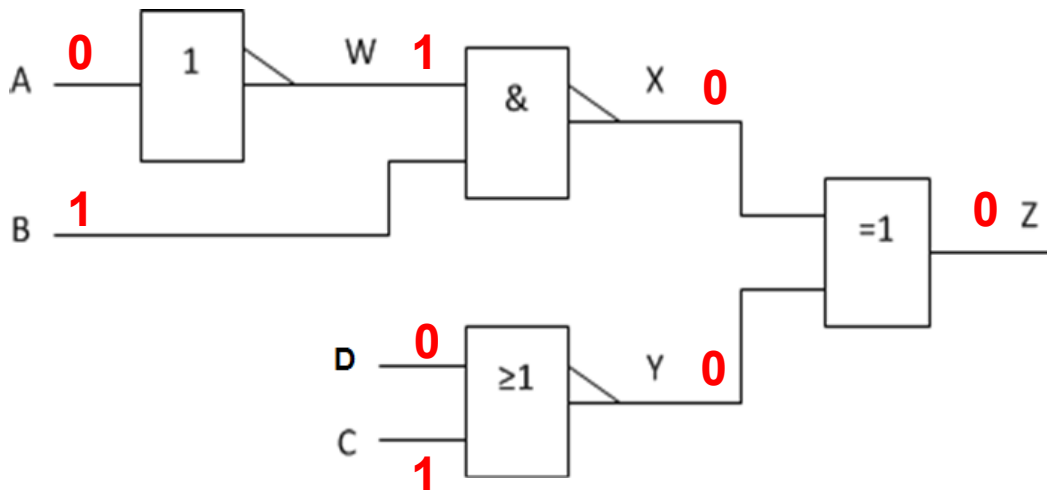


	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Estado inicial



# Diagrama Temporal

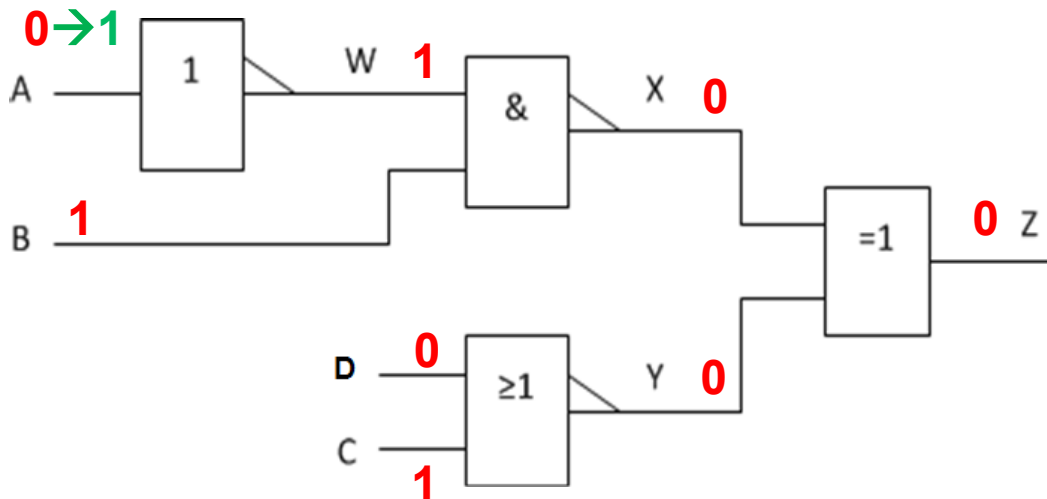


	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Estado inicial

- A 0
- B 1
- C 1
- W 1
- X 0
- Y 0
- Z 0

# Diagrama Temporal

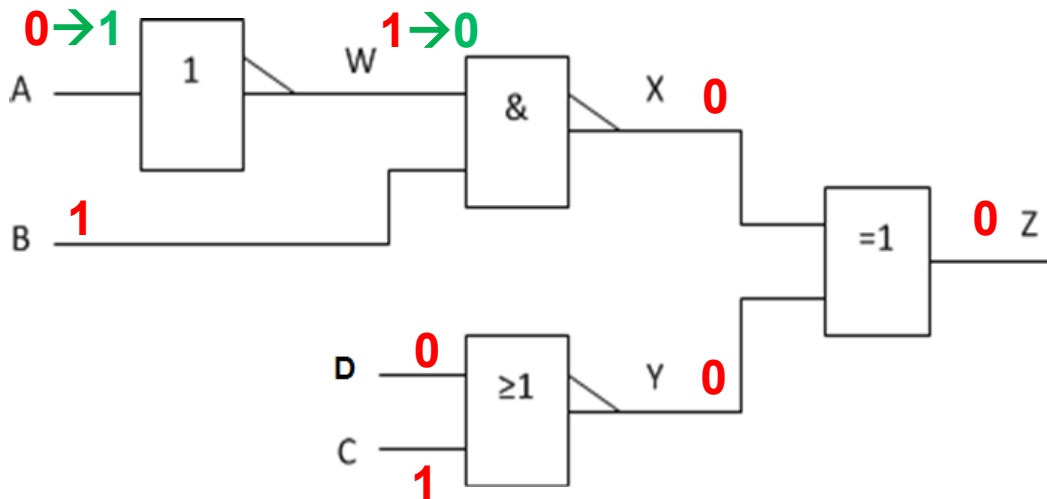


	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Transição da  
Entrada A

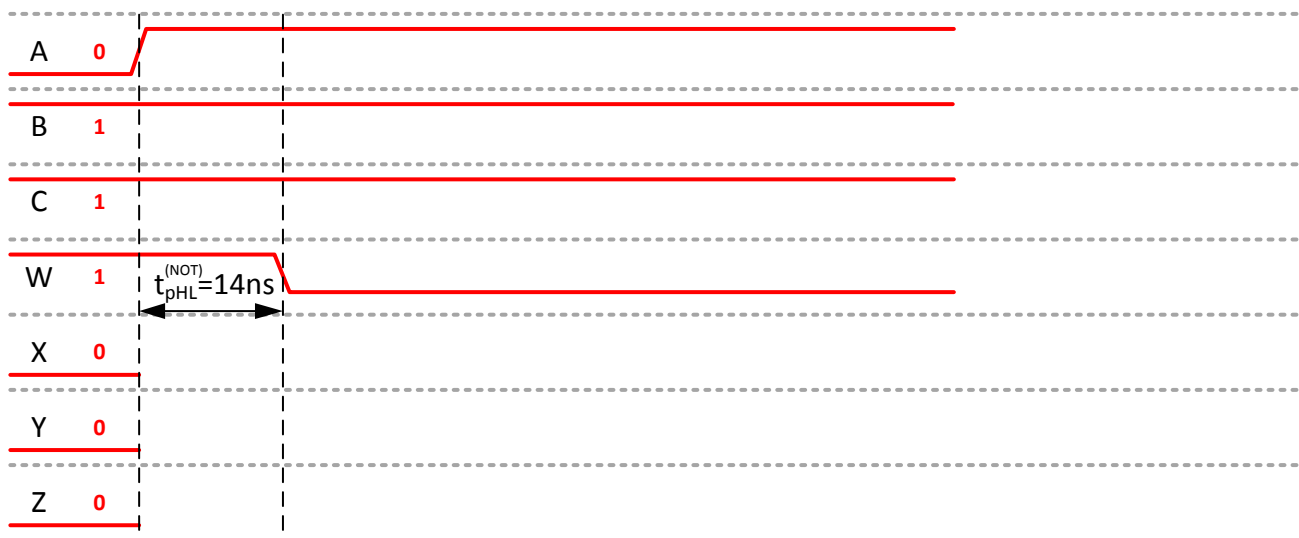


# Diagrama Temporal

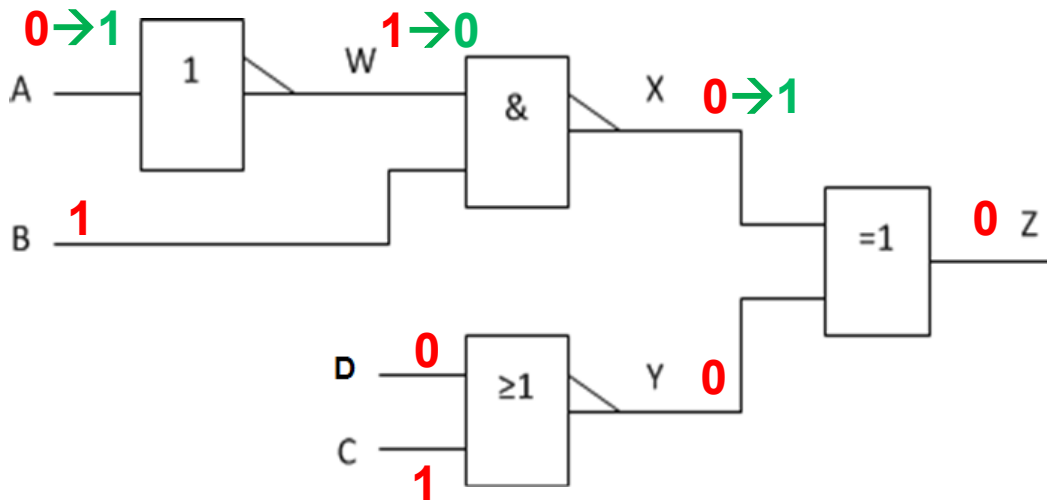


	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Transição da  
Entrada A

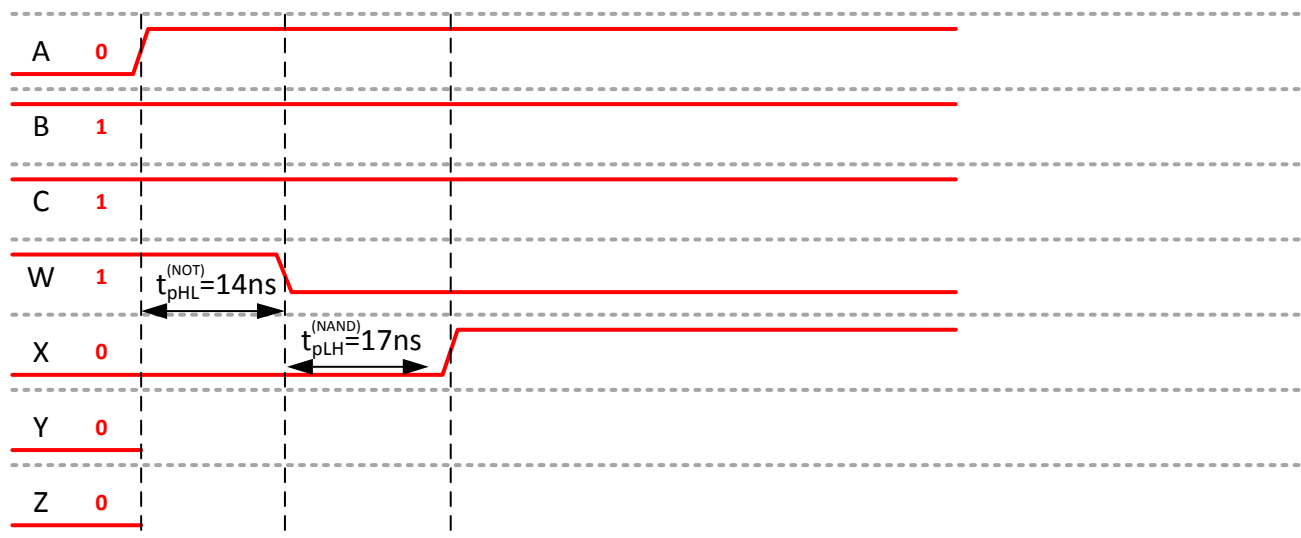


# Diagrama Temporal



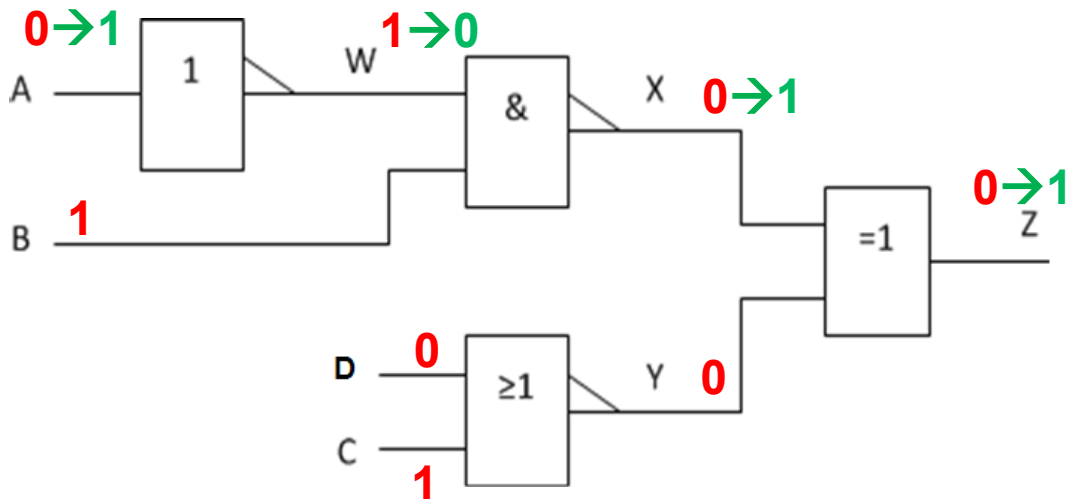
	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Transição da  
Entrada A



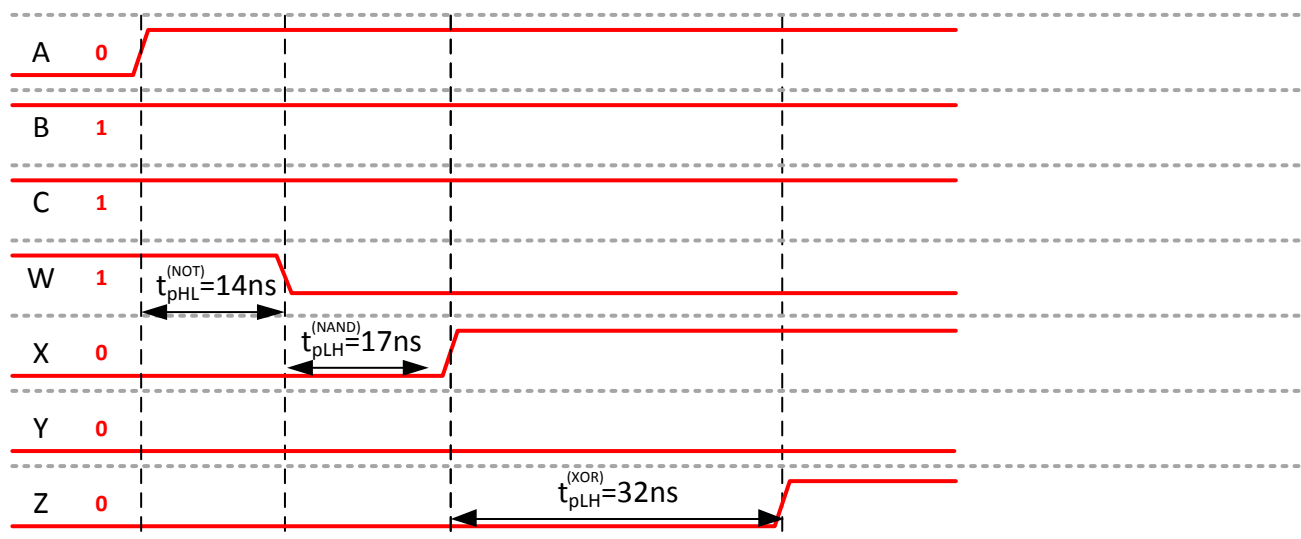


# Diagrama Temporal

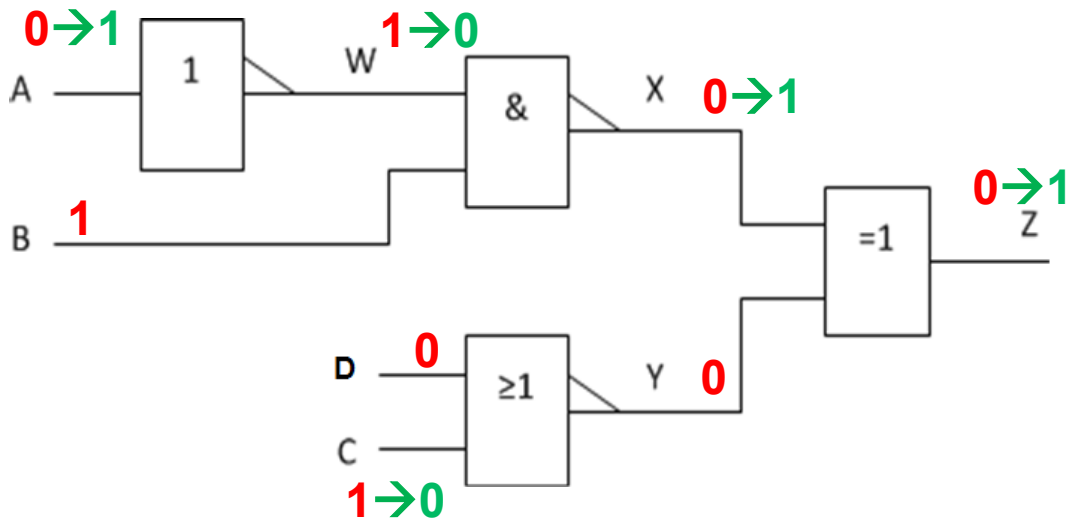


	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Transição da  
Entrada A

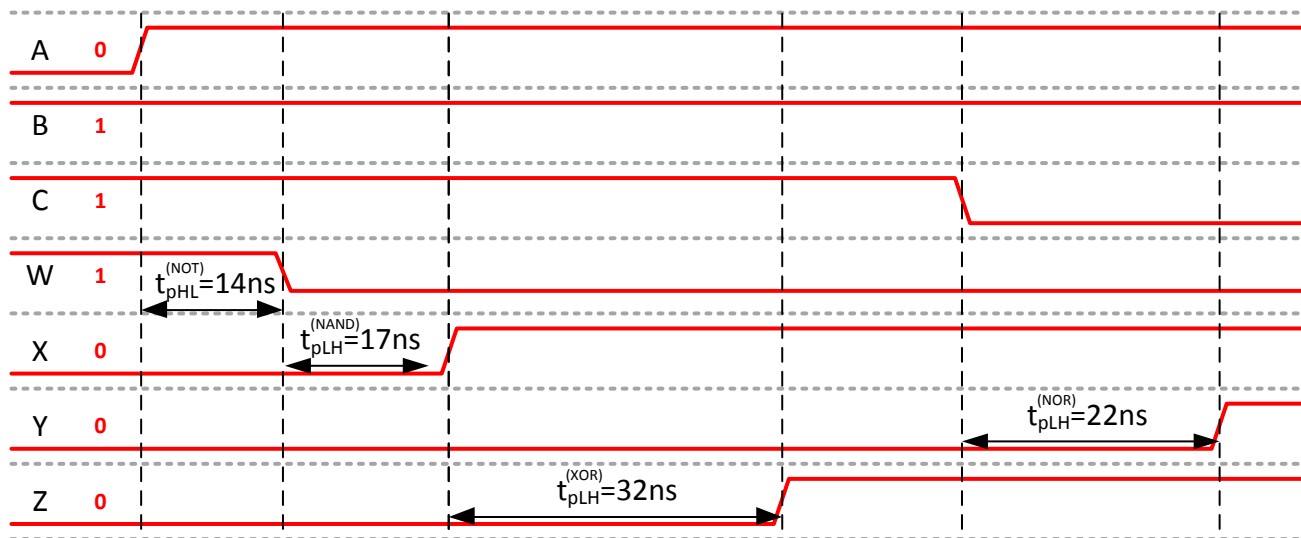


# Diagrama Temporal

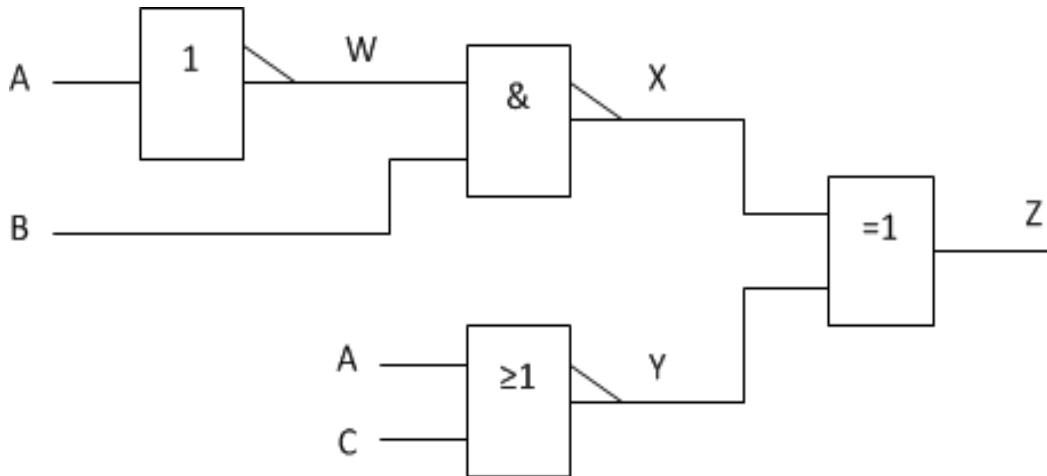


	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Transição da  
Entrada C



# Cálculo do Atraso Máximo



	$t_{pHL}$	$t_{pLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O atraso máximo do circuito é calculado como:

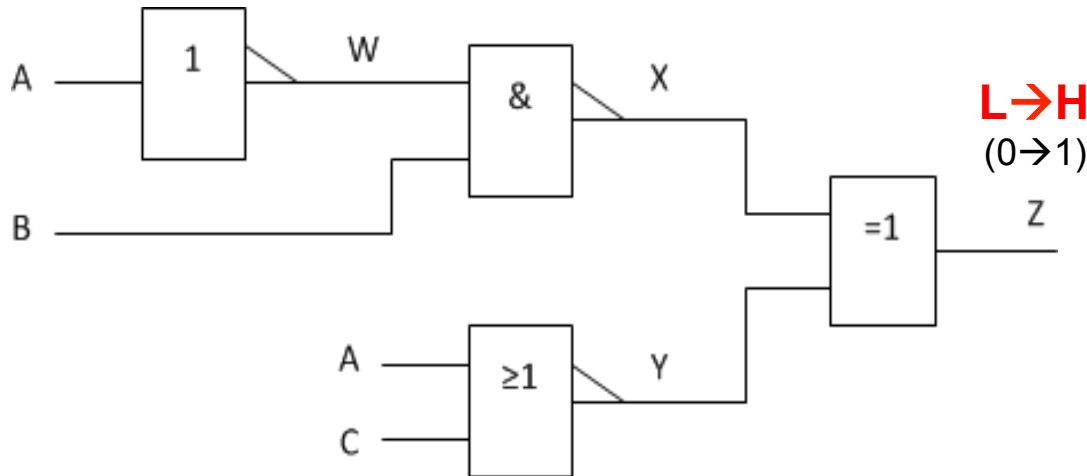
$$t_p = \max\{ t_{pLH} ; t_{pHL} \}$$

em que:

$t_{pLH}$  - máximo tempo de propagação de uma qualquer entrada para a saída que leva a saída a transitar de Low para High

$t_{pHL}$  - máximo tempo de propagação de uma qualquer entrada para a saída que leva a saída a transitar de High para Low

# Cálculo do Atraso Máximo

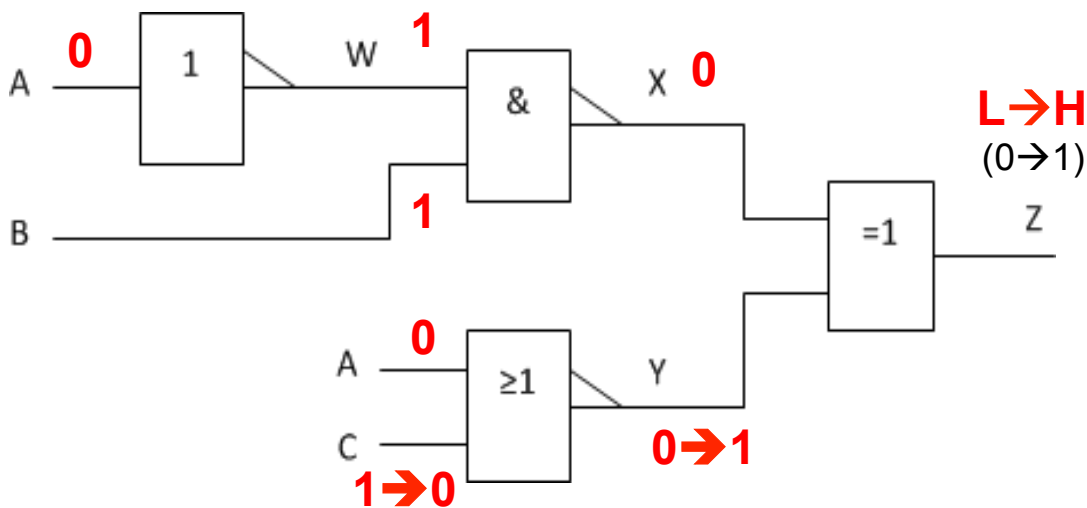


	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O cálculo do tempo de propagação  $t_{pLH}$  é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

1.  $X=0$  ,  $Y=0 \rightarrow 1$
2.  $X=0 \rightarrow 1$  ,  $Y=0$
3.  $X=1$  ,  $Y=1 \rightarrow 0$
4.  $X=1 \rightarrow 0$  ,  $Y=1$

# Cálculo do Atraso Máximo



	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

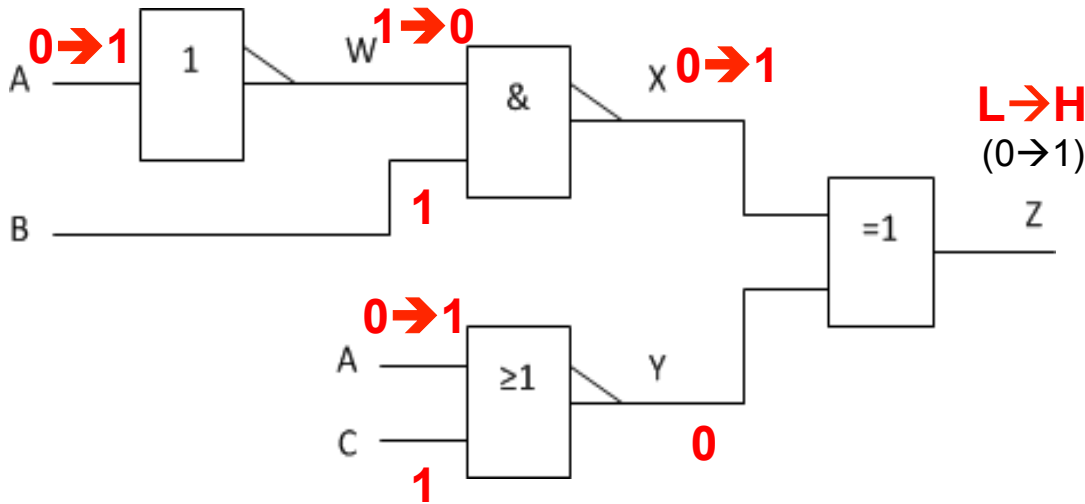
- O cálculo do tempo de propagação  $t_{pLH}$  é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

1.  $X=0$  ,  $Y=0 \rightarrow 1$
2.  $X=0 \rightarrow 1$  ,  $Y=0$
3.  $X=1$  ,  $Y=1 \rightarrow 0$
4.  $X=1 \rightarrow 0$  ,  $Y=1$

$X=0 \rightarrow B=1, W=1, A=0$

Logo C transita  $1 \rightarrow 0$

$$t_{pLH} = t_{pLH}(\text{NOR}) + t_{pLH}(\text{XOR}) = 54\text{ns}$$



	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O cálculo do tempo de propagação  $t_{pLH}$  é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

1.  $X=0$  ,  $Y=0 \rightarrow 1$
2.  $X=0 \rightarrow 1$  ,  $Y=0$
3.  $X=1$  ,  $Y=1 \rightarrow 0$
4.  $X=1 \rightarrow 0$  ,  $Y=1$

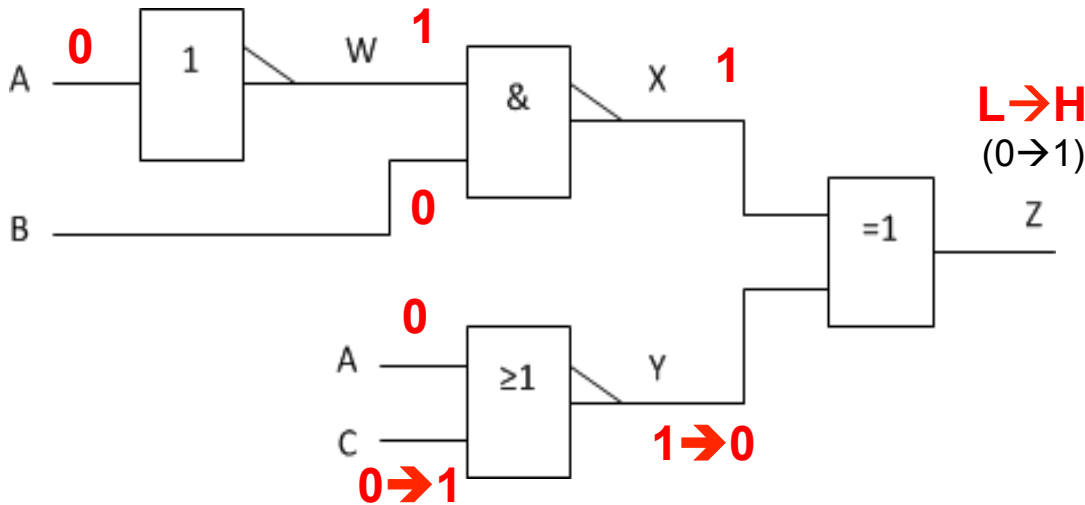
O pior caso corresponde à transição vir da porta NOT:

A transita  $0 \rightarrow 1$

$$t_{pLH} = t_{pHL}(NOT) + t_{pLH}(NAND) + t_{pLH}(XOR)$$

$$= 14 + 17 + 32 = 63ns$$

# Cálculo do Atraso Máximo



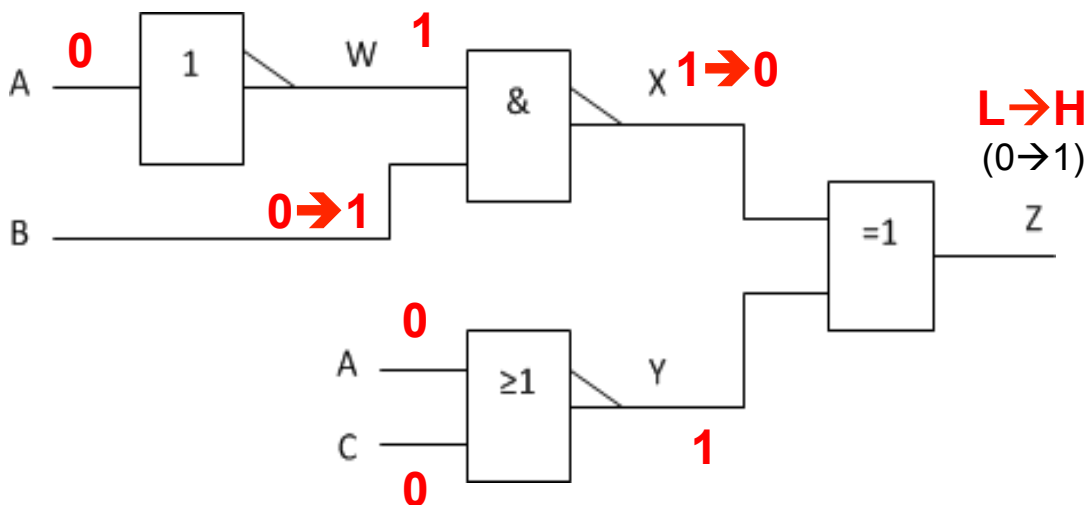
	$t_{pHL}$	$t_{pLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O cálculo do tempo de propagação  $t_{pLH}$  é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

1.  $X=0$  ,  $Y=0 \rightarrow 1$
2.  $X=0 \rightarrow 1$  ,  $Y=0$
3.  $X=1$  ,  $Y=1 \rightarrow 0$
4.  $X=1 \rightarrow 0$  ,  $Y=1$

$$t_{pLH} = t_{pHL}(\text{NOR}) + t_{pLH}(\text{XOR}) = 24 + 32 = 56\text{ns}$$

# Cálculo do Atraso Máximo



	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

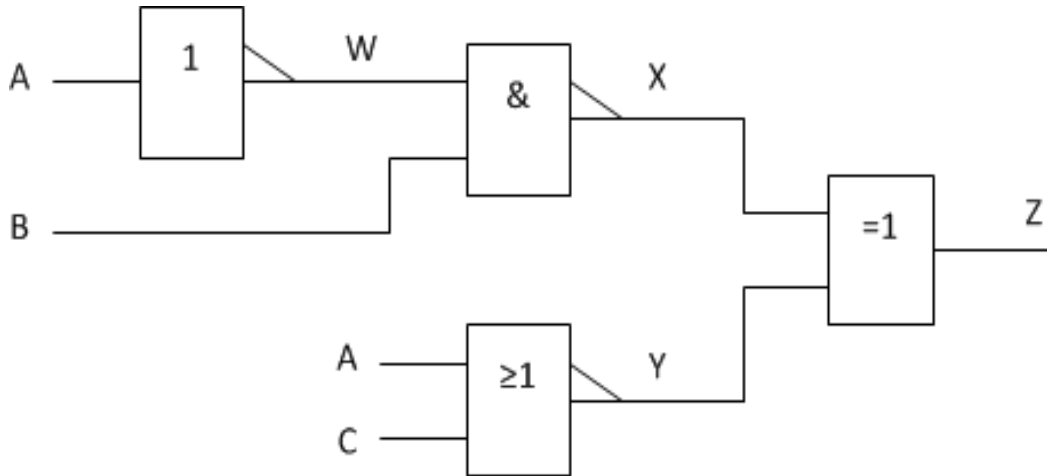
- O cálculo do tempo de propagação  $t_{pLH}$  é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

1.  $X=0$  ,  $Y=0 \rightarrow 1$
2.  $X=0 \rightarrow 1$  ,  $Y=0$
3.  $X=1$  ,  $Y=1 \rightarrow 0$
4.  $X=1 \rightarrow 0$  ,  $Y=1$

$$t_{pLH} = t_{pHL}(\text{NAND}) + t_{pLH}(\text{XOR}) = 15 + 32 = 47\text{ns}$$



# Cálculo do Atraso Máximo



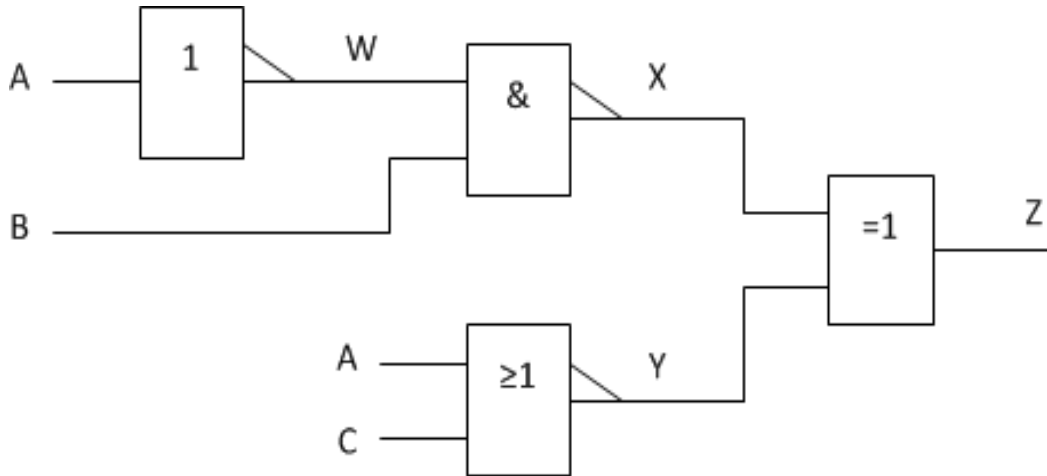
	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O cálculo do tempo de propagação  $t_{pLH}$  é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

1.  $X=0$  ,  $Y=0 \rightarrow 1$   $\rightarrow t_{pLH} = 54ns$
2.  $X=0 \rightarrow 1$  ,  $Y=0$   $\rightarrow t_{pLH} = 63ns$
3.  $X=1$  ,  $Y=1 \rightarrow 0$   $\rightarrow t_{pLH} = 56ns$
4.  $X=1 \rightarrow 0$  ,  $Y=1$   $\rightarrow t_{pLH} = 47ns$

**Tempo de propagação**  
 $t_{pLH} = 63 ns$

# Cálculo do Atraso Máximo



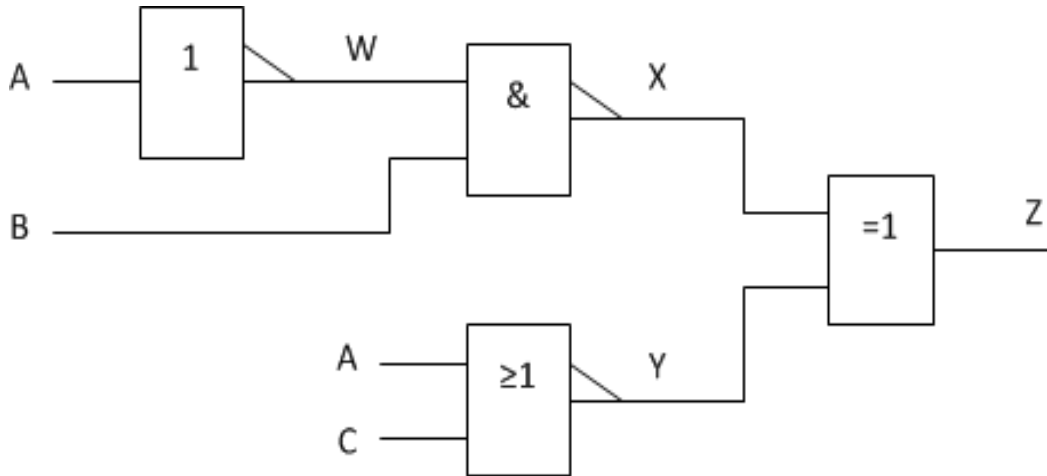
	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O cálculo do tempo de propagação  $t_{pLH}$  é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

1.  $X=0$  ,  $Y=0 \rightarrow 1$
2.  $X=0 \rightarrow 1$  ,  $Y=0$
3.  $X=1$  ,  $Y=1 \rightarrow 0$
4.  $X=1 \rightarrow 0$  ,  $Y=1$

- Ver todos os casos possíveis...
- verificar qual é o pior!!!

# Cálculo do Atraso Máximo



	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O atraso máximo do circuito é calculado como:

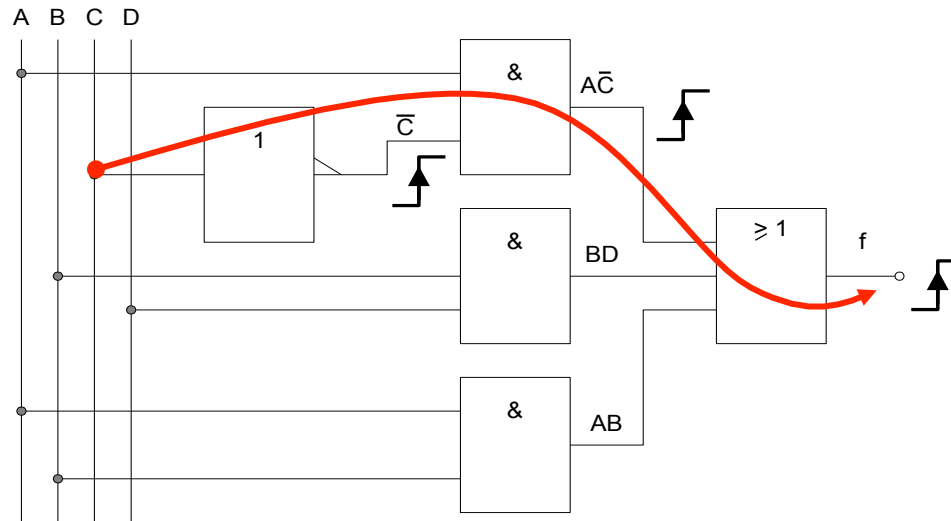
$$t_p = \max\{ t_{pLH} ; t_{pHL} \}$$

em que:

$t_{pLH}$  - máximo tempo de propagação de uma qualquer entrada para a saída que leva a saída a transitar de Low para High

$t_{pHL}$  - máximo tempo de propagação de uma qualquer entrada para a saída que leva a saída a transitar de High para Low

## Exemplo:



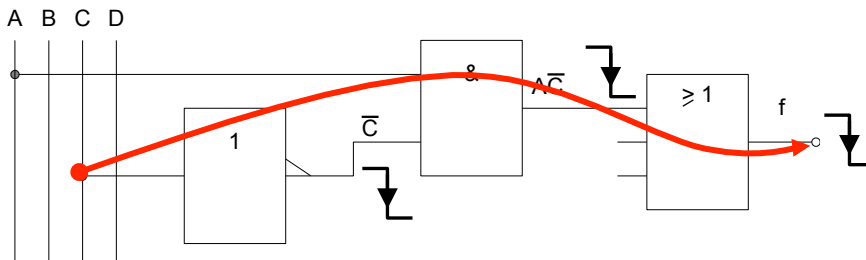
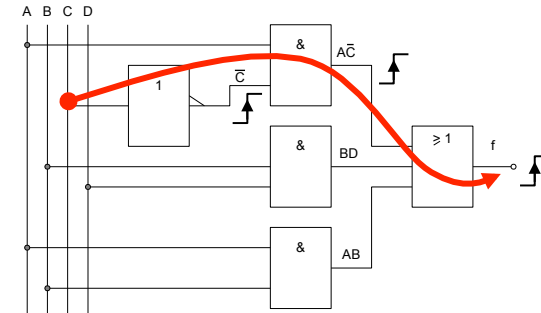
O caminho de atraso máximo é activado quando C comuta e  $A=1$ ,  $B.D=0$  e  $A.B=0$ .

$$t_{PLHtotal} = t_{PLHnot} + t_{PLHand} + t_{PLHor}$$

ou

$$t_{PHLtotal} = t_{PHLnot} + t_{PHLand} + t_{PHLor}$$

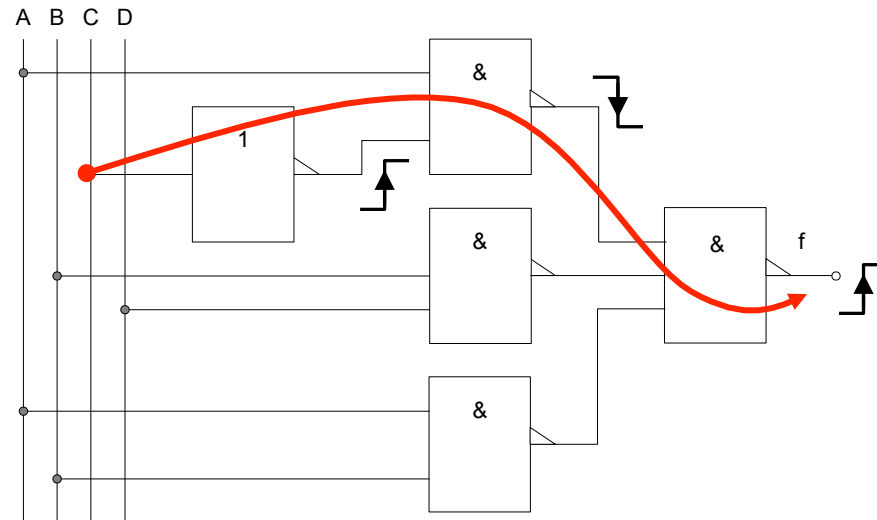
## Exemplo (cont.):



	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
AND	17ns	20ns
OR	24ns	22ns

$$\begin{aligned}
 t_{P \max} &= \max(14ns + 17ns + 24ns; 15ns + 20ns + 22ns) \\
 &= \max(55ns; 57ns) = 57ns
 \end{aligned}$$

## Exemplo:



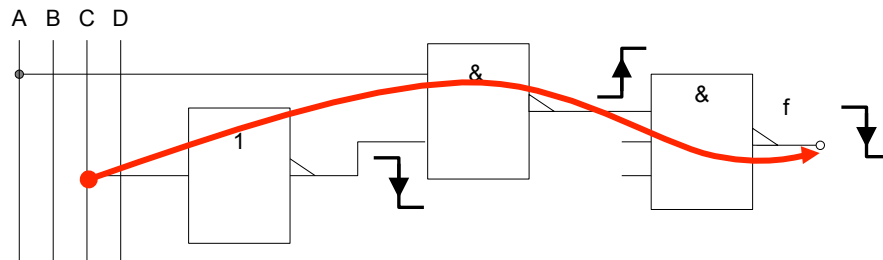
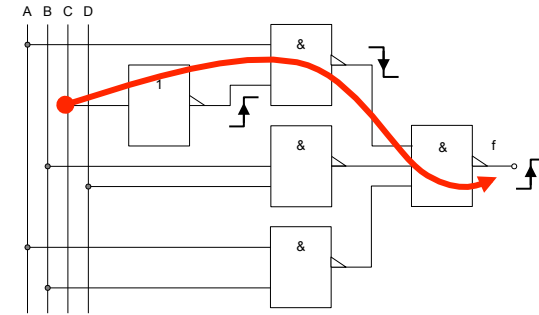
O caminho de atraso máximo é activado quando C comuta e  $A=1$ ,  $\overline{B.D}=1$  e  $\overline{A.B}=1$ .

$$t_{PLHtotal} = t_{PLHnot} + t_{PHLnand1} + t_{PLHnand2}$$

ou

$$t_{PHLtotal} = t_{PHLnot} + t_{PLHnand1} + t_{PHLnand2}$$

## Exemplo (cont.)



	$t_{PHL}$	$t_{PLH}$
NOT	14ns	15ns
NAND	17ns	16ns

$$\begin{aligned}
 t_{P \max} &= \max(14ns + 16ns + 17ns; 15ns + 17ns + 16ns) \\
 &= \max(47ns; 48ns) = 48ns
 \end{aligned}$$



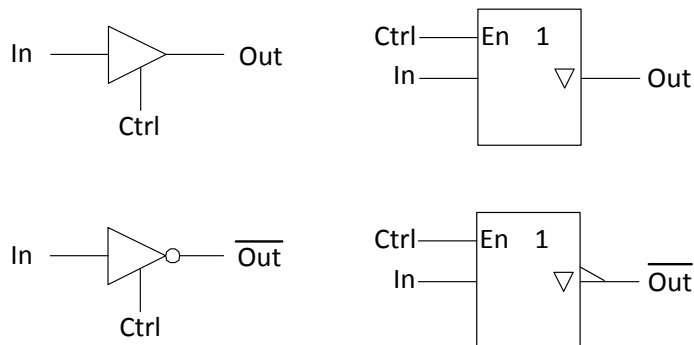
# DISPOSITIVOS LÓGICOS ESPECIAIS



- Para além das portas básicas, existem outros dispositivos lógicos que são importantes para garantir certo tipo de funcionalidades:
  - ▶ **Buffers de três estados (*tri-state*)**
  - ▶ **Portas de passagem (*transmission gates*)**

## ■ Buffer de três estados (*tri-state*):

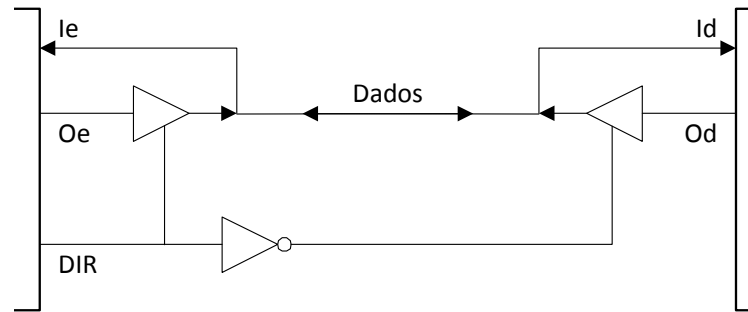
- ▶ Dispositivo que, para além de uma entrada e uma saída de dados, dispõe ainda de uma entrada de controlo que define o comportamento da saída:
  - **Controlo = H** → o valor da saída é igual ao valor que se apresenta na entrada de dados;
  - **Controlo = L** → o porto de saída fica em alta impedância, i.e., desligada electricamente.



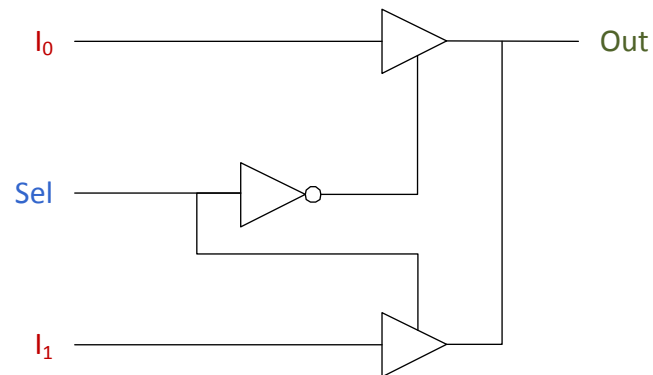
Ctrl	In	Out	$\overline{\text{Out}}$
L	X	Desligada	Desligada
H	L	L	H
H	H	H	L

## ■ Exemplos de aplicação:

### ▶ Linha Bidireccional:

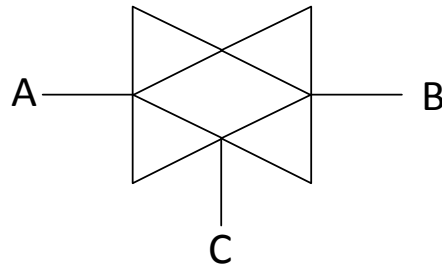


### ▶ Selecção de Sinais:



## ■ Portas de Passagem (*transmission-gates*):

- ▶ Permite, quando activada, a passagem de sinais em ambos os sentidos e em toda a gama de tensão, i.e., permite a passagem de sinais dentro ou fora dos níveis digitais da família lógica considerada (ex: CMOS, TTL, etc.) :







## ■ Tema da Próxima Aula:

- ▶ Circuitos combinatórios típicos:
  - Descodificadores
  - Codificadores
  - Multiplexeres
  - Demultiplexeres

## Agradecimentos

Algumas páginas desta apresentação resultam da compilação de várias contribuições produzidas por:

- Nuno Roma
- Guilherme Arroz
- Horácio Neto
- Nuno Horta
- Pedro Tomás