



TÉCNICO
LISBOA

GUIA DE UTILIZAÇÃO DO VIVADO DESIGN SUITE WEBPACK: INTRODUÇÃO AO AMBIENTE DO PROJETO

VERSÃO 2.1

- SISTEMAS DIGITAIS -

MEEC

Aleksandar Ilic - Nuno Roma

O programa *Vivado WebPack* da *Xilinx* é um ambiente integrado para projeto de circuitos digitais. Inclui, entre outras ferramentas de projeto, uma ferramenta para prototipagem de circuitos digitais, um simulador lógico e vários programas para síntese e mapeamento automático de circuitos digitais em dispositivos lógicos programáveis (FPGAs) da família *Xilinx*.

Em particular, o ambiente usado no contexto do laboratório de Sistemas Digitais serve apenas para fins pedagógico. Existem outras ferramentas, integradas no *Xilinx Vivado*, usadas para fins profissionais. No entanto, dada a complexidade acrescida, essas ferramentas não serão abordadas no contexto da unidade curricular de Sistemas Digitais.

Pretende-se com este guia que os alunos se familiarizem com a utilização de ferramentas de simulação e prototipagem de circuitos digitais. Para o efeito, será realizada uma apresentação da ferramenta *Vivado WebPack* da *Xilinx* (versão 2019.1), utilizando o VHDL como linguagem de descrição de circuitos digitais.

1. CRIAÇÃO DE UM NOVO PROJETO E ESPECIFICAÇÃO DO DISPOSITIVO

1.1. Inicialização do ambiente de projeto Vivado.

Na lista de programas previamente instalados no seu computador, procure o grupo de programas *Xilinx Design Tools*→*Vivado 2019.1* e clique na aplicação *Vivado 2019.1*.

1.2. Criação de um projeto novo.

Clique em “*File*→*Project*→*New*”. Abrir-se-á uma janela e clique *Next*. Na janela seguinte indique o nome do projeto (“*Project name*”) e a localização em disco do projeto (“*Project location*”). Deixe a opção “*Create project subdirectory*” ativa (desde modo, será criada uma subdiretoria com o nome do projeto). Após o preenchimento destes campos, pressione em *Next*. Na janela seguinte (*Project Type*) selecione a opção “*RTL Project*” e ative a opção “*Do not specify sources at this time*”. Clique *Next*.

1.3. Especificação do dispositivo.

Na janela seguinte (*Default Part*) é preciso especificar a placa que será utilizada no laboratório, i.e., *Digilent Basys 3* baseada na FPGA da família *Artix-7* com a referência *XC7A35TCPG236-1*. Preencha os campos *Family*, *Package* e *Speed Grade* de acordo com a Figura 1 e selecione o dispositivo *XC7A35TCPG236-1*. Clique *Next*.

Em seguida, complete a criação do projeto pressionado *Finish*.

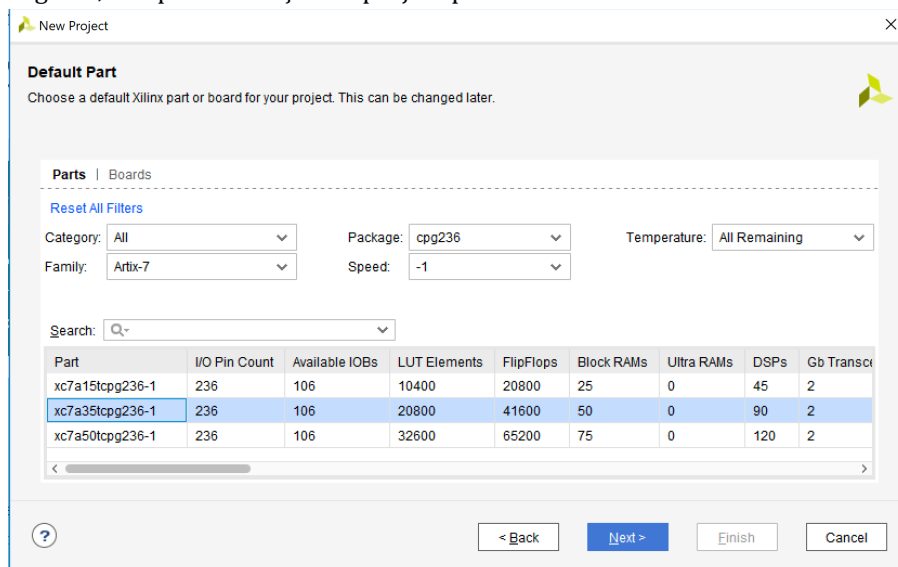


Figura 1. Opções do projeto: especificação do dispositivo.

1.4. Configuração do Vivado

Clique na opção “Tools→Settings.” e verifique se a opção “VHDL” na secção “Project Settings/General/Target Language” está ativada e a opção “Copy sources into Project” na secção “Tool Settings/Source File”. Clique OK (Figura 2).

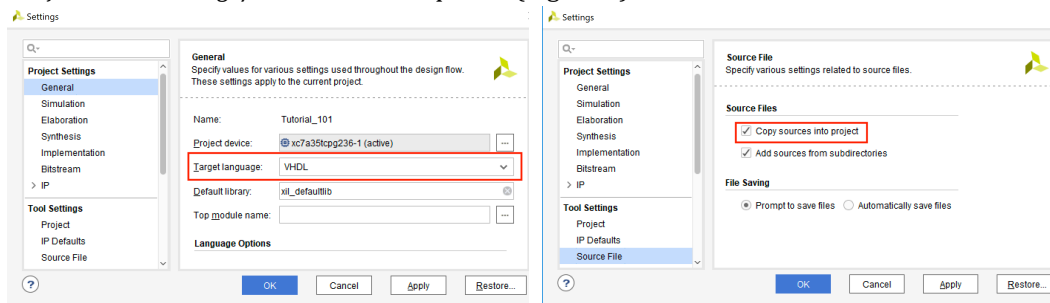




Figura 2. Opções do Vivado: Configuração

2. CRIAÇÃO, INCLUSÃO E EDIÇÃO DE FICHEIROS DE DESCRIÇÃO DO CIRCUITO (DESIGN SOURCES)

2.1. a) Inclusão de um ficheiro de descrição do circuito (*Design Source*)

Faça “File→Add Sources...”. Será aberta uma janela e seleccione a opção “Add or create *design sources*”. Clique Next. Pressione o ícone , seleccione “Add files...” e navegue até à pasta com os ficheiros de descrição do circuito (*Design Sources*) a incluir ao projeto. Seleccione os ficheiros (e.g., `my_circuit.vhd`), complete a importação clicando OK e depois Finish.

b) Criação de um ficheiro de descrição do circuito (*Design Source*)

Faça “File→Add Sources...”. Será aberta uma janela e seleccione a opção “Add or create *design sources*”. Clique Next. Pressione o ícone , seleccione “Create file...”. Na janela seguinte, seleccione VHDL no campo “File type”, indique o nome do ficheiro no campo “File name” (e.g., `my_circuit`) e seleccione “<Local to Project>” no campo “File location” (o ficheiro a ser criado será guardado na pasta do projeto atual). Após o preenchimento destes campos, pressione em OK. Em seguida, complete a criação do ficheiro pressionando Finish.

Será aberta uma janela “Define Module” onde é preciso indicar o nome da entidade (“Entity name”) do componente (circuito digital) qual se pretende implementar (e.g., pode indicar `my_circuit` como o “Entity name”). No campo para indicar o nome da arquitetura (“Architecture name”) não é necessário mudar o nome predefinido, ou seja, pode sempre deixar “Behavioral”. Na parte do “I/O Port Definitions” é preciso definir o componente, nomeadamente, para cada entrada e saída do componente é preciso indicar o nome, direção e largura. Essa definição corresponde à parte *port* no *entity* do componente. Para este efeito, é preciso indicar o nome da entrada/saída no “Port Name” e a direção do sinal indicando *in* (entrada) ou *out* (saída) no campo “Direction”. Quando a entrada/saída tem mais que um bit (ou seja, representa um barramento), é preciso ativar a opção no campo “Bus” e indicar qual é o bit mais significativo (MSB) e o bit menos significativo (LSB). Por exemplo, para uma entrada `my_input` de 4 bits, i.e., um barramento `my_input (3:0)`, é preciso indicar `my_input` no “Port Name”, *in* no “Direction”, ativar o campo “Bus”, e indicar 3 no MSB (o bit 3 é o bit mais significativo) e 0 no LSB (o bit 0 é o bit menos significativo). Continue a especificar todas as entradas e saídas do componente, preenchendo uma linha por entrada/saída. Após preencher todos os campos, clique OK.

NOTA: É possível mudar a definição do componente depois, mudando a sua definição diretamente em VHDL na parte *port* no *entity* do componente.

2.2. Onde está o meu ficheiro de descrição do circuito (Design Source)?

Após a inserção/criação do *Design Source*, o seu ambiente de trabalho no programa Vivado deverá ter o aspeto semelhante ao indicado na Figura 3. Note ainda que este aspeto poderá ser modificado, alterando a dimensão e localização de cada um dos cinco painéis (P1, P2, P3, P4 e P5).

Observe o painel P2: O ficheiro aparecerá na pasta “*Design Sources*” no painel P2.

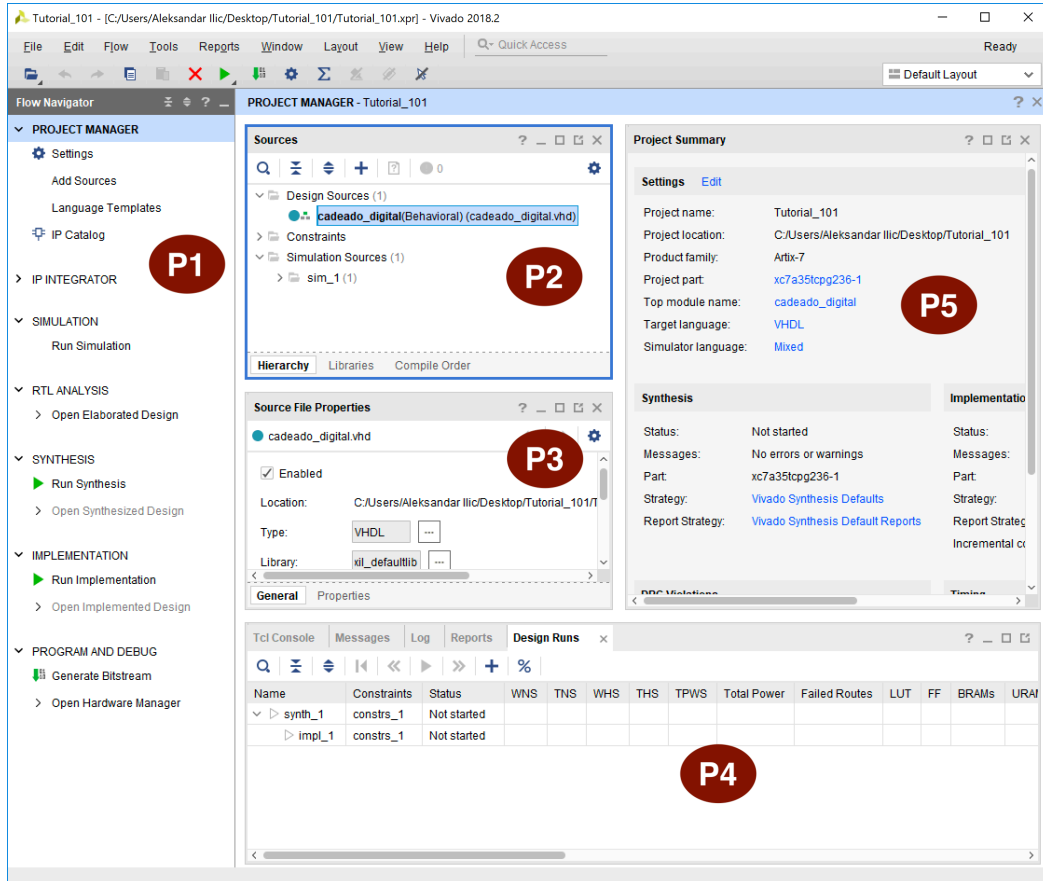


Figura 3. Ambiente de desenvolvimento no Xilinx Vivado.

2.3. Quando o circuito engloba instâncias correspondentes a outros componentes, é possível **expandir o circuito** para visualizar essas mesmas instâncias, clicando no símbolo “>” (à esquerda do nome do circuito).

2.4. Definir o circuito como o módulo de topo.


Para definir o circuito como módulo de topo, faça clique direito no nome do circuito no painel P2 e clique “*Set as Top*”.


2.5. Abrir/editar o *Design Source* do circuito.

Na pasta “*Design Sources*” (painel P2), clique duas vezes no nome do circuito (e.g., *my_circuit*). No painel P5 abrirá um novo *tab* com o nome do circuito e o código em VHDL será apresentado.

Após a edição, grave o ficheiro e verifique se não são mostradas mensagens de erro no *tab Messages* no painel P4 (as mensagens de *info* e *status* podem aparecer e podem, em geral, ser ignoradas). Após a gravação (e durante a edição), a **ferramenta automaticamente deteta erros** de sintaxe, que por vezes são identificados como *critical warnings* e têm de ser corrigidos. Quando tiver resolvido os erros, volte a gravar o ficheiro para a ferramenta atualizar a informação relativa aos erros.

2.6. Visualização do esquema do circuito (logigrama).

No painel P1, expanda a opção “*Open Elaborated Design*” da secção “*RTL Analysis*” e clique uma vez em  *Schematic*. Na janela seguinte clique *OK*. Será aberto (no painel P5) um tab “*Schematic*” apresentando o logigrama do circuito configurado como sendo o módulo de topo (reveja o passo 2.4).

Ao ativar a opção  *Schematic*, a ferramenta começa por realizar a verificação da correção do circuito, i.e., verifica se existe algum erro na descrição presente nos ficheiros do projeto. Em caso de sucesso, não serão mostradas mensagens de erro no tab *Messages* no painel P4 (as mensagens de *info* e *status* podem aparecer e podem, em geral, ser ignoradas).


Após a visualização do logigrama, feche o separador “*Elaborated Design*” e clique no tab “*Sources*” do painel P2 (ou no “*Project Manager*” no painel P1) para voltar à hierarquia do projeto, com todos os ficheiros adicionados.

Por vezes, em cima do painel P2 aparecerá a mensagem de aviso “*Elaborated design out of date...*”. Clique em *Reload* e observe o logigrama do circuito.


NOTA IMPORTANTE: O esquema do circuito (logigrama) gerado pelo Vivado serve apenas para visualizar a implementação do componente durante o desenvolvimento. É **proibido** incluir os logigramas do Vivado nos relatórios, pois eles nem sempre correspondem à descrição em VHDL que realizou. **Na disciplina de Sistemas Digitais, quaisquer diferenças entre o logigrama e o código VHDL apresentado levarão a uma penalização significativa na nota final! Por conseguinte, deve sempre desenhar todos os logigramas à mão (ou utilizando um programa de desenho) de maneira a que o logigrama esteja completamente de acordo com a descrição em VHDL apresentada.**

3. CRIAÇÃO, INCLUSÃO E EDIÇÃO DE FICHEIROS PARA REALIZAR A SIMULAÇÃO DO CIRCUITO (SIMULATION SOURCES)

3.1. a) Inclusão de um ficheiro para realizar a simulação do circuito (*Simulation Source*)

Faça “*File*→*Add Sources...*”. Será aberta uma janela e selecione a opção “*Add or create simulation sources*”. Clique *Next*. Pressione  e selecione “*Add files...*” e navegue até à pasta com os ficheiros que irá utilizar para efetuar a simulação do circuito (*Simulation Sources*, *TestBenches*), a incluir ao projeto. Selecione os ficheiros desejados (e.g., `tb_my_circuit.vhd`), complete a importação clicando *OK* e depois *Finish*.

b) Criação de um ficheiro para efetuar a simulação do circuito (*Simulation Source*)

Faça “*File*→*Add Sources...*”. Será aberta uma janela e selecione a opção “*Add or create simulation sources*”. Clique *Next*. Pressione  e selecione “*Create file...*”. Na janela seguinte, selecione *VHDL* no campo “*File type*”, indique o nome do ficheiro no campo “*File name*” (e.g., `tb_my_circuit.vhd`) e selecione “*<Local to Project>*” no campo “*File location*” (o ficheiro será guardado na pasta do projeto atual). Após o preenchimento destes campos, pressione em *Next*. Em seguida, complete a criação do ficheiro pressionando *Finish*.

Será aberta uma janela “*Define Module*” onde é preciso indicar o nome da entidade (“*Entity name*”) do *TestBench* (e.g., pode indicar `tb_my_circuit` como o “*Entity name*”). No campo para indicar o nome da arquitetura (“*Architecture name*”) não é necessário mudar o nome predefinido, ou seja, pode sempre deixar “*Behavioral*”. A parte “*I/O Port Definitions*” não é necessário preencher. Pressione *OK*. (Se aparecer a mensagem “*The module definition has not been changed. Are you sure you want to use these values?*”, pressione *Yes*.)

3.2. Onde está o meu ficheiro da simulação (Simulation Source)?


Repare no painel P2: o ficheiro foi incluído na pasta “*Simulation Sources*”. Se for preciso, expanda a pasta “*Simulation Sources*” e todas as suas subdiretorias clicando no símbolo “>” à esquerda do nome do testbench (habitualmente, o *Simulation Source* é colocado na subdiretoria *sim1*).

3.3. Abrir/editar o Simulation Source do circuito.

Utilizando o painel P2 e a pasta “*Simulation Sources*”, clique no nome do *TestBench* (e.g., *tb_my_circuit*). No painel P5 abrir-se-á um novo *tab* com o código VHDL do *TestBench* selecionado.

Após a edição, grave o ficheiro e verifique se não são mostradas mensagens de erro no *tab Messages* no painel P4 (as mensagens de *info* e *status* podem aparecer e podem, em geral, ser ignoradas). Após a gravação (e durante a edição), a **ferramenta automaticamente deteta erros** de sintaxe, que por vezes são identificados como *critical warnings* e têm de ser corrigidos. Quando tiver resolvido os erros, volte a gravar o ficheiro para a ferramenta atualizar a informação relativa aos erros.

3.4. Inicialização da simulação.

Para observar a variação do valor da(s) saída(s), é preciso iniciar a simulação do circuito. Certifique-se que o ficheiro da simulação é o **módulo de topo** (reveja o passo 2.4). No painel P1, na linha correspondente a “*Simulation*”, clique  Run Simulation e em seguida em “*Run Behavioral Simulation*”. Abrir-se-á um novo separador com nome *Behavioral Simulation* com um aspeto semelhante ao representado na Figura 4. Verifique ainda o *tab Messages* no painel P4 para saber se a ferramenta detetou algum erro durante a elaboração ou execução da simulação.

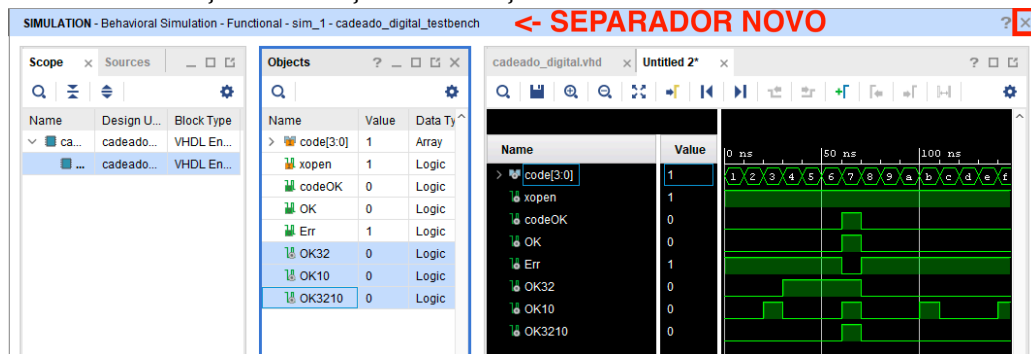






Figura 4. Simulação do circuito.

3.5. Clique no botão  (Zoom Fit) para poder **observar a simulação na sua totalidade**.

3.6. Para **aumentar o tempo de simulação** (para além dos 1000 ns) é necessário indicar o período do tempo desejado no campo  1000 ns (por cima do separador *Behavioral Simulation*). Depois, é necessário **recomeçar a simulação** (clitando no ) e clicar no botão .

Clique no botão  (Zoom Fit) para poder observar a simulação na sua totalidade.

3.7. Como adicionar sinais internos na simulação?

Após realizar a simulação, apenas aparecem os sinais de entrada e saída do circuito testado. No entanto, será mais fácil verificar o correto funcionamento do circuito se adicionar alguns sinais internos.

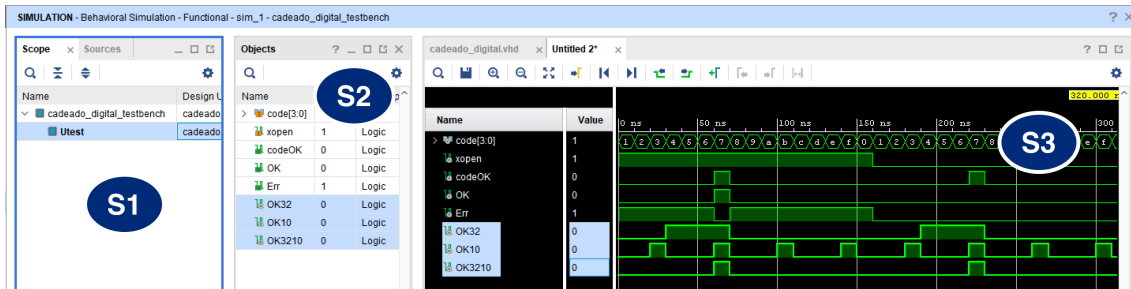


Figura 5. Ambiente de simulação no Xilinx Vivado.




Tal como ilustrado na Figura 5, existem 3 painéis no ambiente da simulação: S1, S2 e S3. Para adicionar sinais internos à simulação, selecione a instância desejada no painel S1 (*Scope*) (e.g., *Utest*, *test_unit*) e em seguida selecione os sinais de interesse no painel S2 (*Objects*) (e.g., *OK32*, *OK10* e *OK3210*). Arraste-os para o painel S3 (ou então faça clique direito e no drop-menu selecione “Add To Wave Window”).

Terá de recomeçar a simulação (reveja o passo 3.6) para que os sinais adicionados sejam atualizados no painel S3. Para **modificar o sistema de numeração utilizado na representação de um dado sinal**, faça clique direito sobre o sinal em questão (no painel S3), no *drop-menu* selecione “Radix” e no menu seguinte selecione a representação desejada (binário, hexadecimal, octal, número inteiro com ou sem sinal etc.).

3.8. Como fechar o separador da simulação?

Após terminar a simulação, feche o separador *Behavioral Simulation* para voltar ao separador anterior (habitualmente, *Project Manager*).

4. VERIFICAÇÃO DO CIRCUITO E DETEÇÃO DE ERROS

- 4.1. É importante ter em consideração que nem todos os erros são reportados pelo programa no momento em que se grava o ficheiro. Para fazer a **verificação completa** é necessário fazer a **síntese do circuito**, clicando na opção  *Run Synthesis* na pasta “*Synthesis*” do painel P1 (pode demorar algum tempo). Para verificar o estado da síntese, observe o *canto superior direito*, onde o progresso da operação será reportado  *Running synth_design*  *Cancel*. Quando a síntese terminar, aparecerá a mensagem **Synthesis Complete**. Será então aberta a janela “*Synthesis Complete*”. Clique *Cancel*.
- 4.2. No caso de existirem erros no código, aparecerá a janela “*Synthesis Failed*”. Clique *OK*. No painel P4, clique no tab “*Messages*”, onde a ferramenta poderá indicar um conjunto de avisos (*warnings*) e erros. Os erros deverão ser **todos** corrigidos, enquanto os *infos*, *statuses* e alguns *warnings* podem, em geral, ser ignorados.

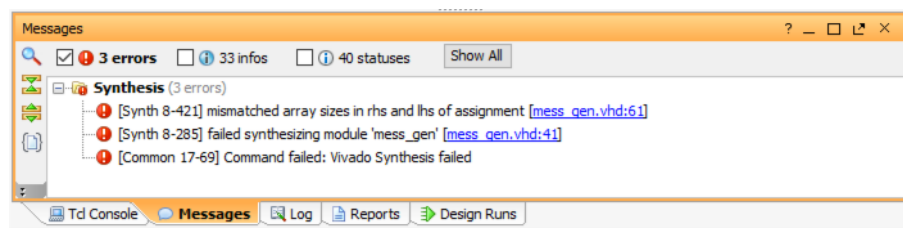


Figura 6. Síntese do circuito: Erros na descrição VHDL

A Figura 6 apresenta um exemplo de um erro detetado durante a síntese do circuito. Para localizar o erro, clique no *hyperlink* representado a azul (ver Figura 6) para se deslocar para a linha de código respetiva (por vezes, o erro encontra-se numa linha de código acima

da referenciada). É de notar que a descrição dos erros apresentada pela ferramenta nem sempre descreve, de forma clara, a causa do erro e nesses casos é necessário consultar a descrição dos *warnings*.

4.3. No caso dos ficheiros necessários para efetuar a simulação (*Simulation Sources*), poderá aparecer uma janela “*Critical Messages*” semelhante ao representado na Figura 7 durante a inicialização da simulação (reveja o ponto 3.4). Pressione *OK*.

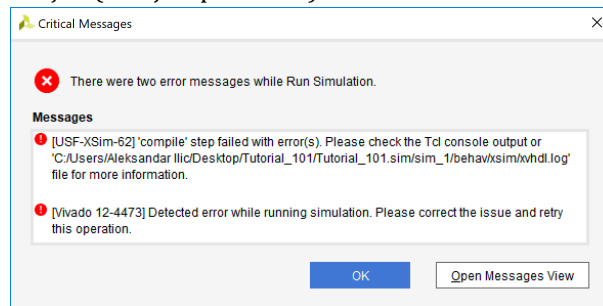


Figura 7. Simulação do circuito: Erros na descrição VHDL

Nesse caso, a existência dos erros é apenas constatada no tab “*Messages*” no painel P4. Para obter mais informações sobre a causa do erro, observe o conteúdo apresentado no tab “*Tcl Console*” no painel P4 (ver Figura 8) e procure a primeira ocorrência do texto tipo:

ERROR: <informação sobre o erro>[C:/.../nome_do_ficheiro.vhd:LINHA].

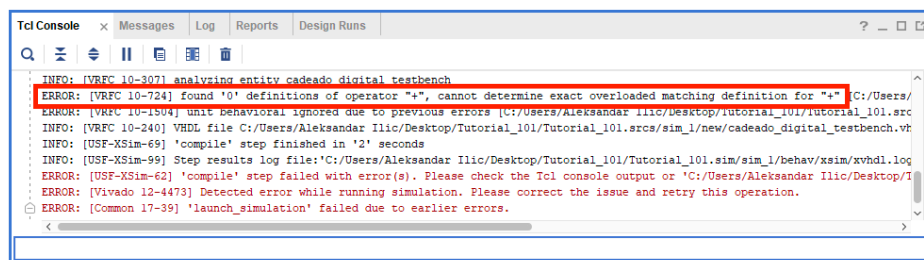


Figura 8. Simulação do circuito: Erros na descrição VHDL

Em particular, o erro apresentado na Figura 8 é motivado pela falta de declaração da biblioteca *std_logic_unsigned* com as pré-definições requeridas para efetuar as operações aritméticas no *TestBench* (e.g., code `<= code + 1;`).

Para corrigir este erro é apenas preciso acrescentar:

```
use IEEE.std_logic_unsigned.all;
```

na parte da declaração de bibliotecas, i.e., por baixo das linhas:

```
library IEEE;
use IEEE.std_logic_1164.all;
```

4.4. **NOTA IMPORTANTE:** Após corrigir os erros, corra o processo de síntese do circuito até não obter nenhum erro (reveja o ponto 4.1).

5. ARQUIVAR O PROJETO

Para arquivar a coletânea de ficheiros que integram o seu projeto num único ficheiro *Zip*, clique *File* → *Project* → *Archive...* Será aberta uma janela no Vivado, onde deve indicar o nome (“*Archive name*”) e localização em disco do arquivo (“*Archive location*”), ex: no Desktop. Clique *OK*.