



**DEEC**

DEPARTAMENTO DE ENGENHARIA  
ELECTROTÉCNICA E DE COMPUTADORES

TÉCNICO LISBOA

# SISTEMAS DIGITAIS

LEEC/LEFT/LEAer

2023/2024

**Pedro Tomás**

**Horácio Neto**

CAPÍTULO I  
**CONVERSÃO DE NÚMEROS**

**Problema 1.1.** Escreva as potências de 2 desde  $2^{-3}$  até  $2^{15}$ , e ainda  $2^{25}$  e  $2^{35}$ .

**Problema 1.2.**

- Converta para base 10 o número  $11010101_{(2)}$ .
- Converta  $213_{(10)}$  para código BCD (binário-decimal).
- Converta  $213_{(10)}$  para base 2.

**Problema 1.3.** Pretende-se converter o número  $38_{(10)}$  para outras bases.

- Faça a conversão para base 16 diretamente.
- Faça a conversão para base 16 através da base 2 (converta primeiro para base 2 e depois para base 16).
- Faça a conversão para base 8 (octal) a partir da base 2.

**Problema 1.4.**

- Converta  $a=27_{(10)}$  e  $b=75_{(10)}$  para binário. Obtenha o resultado da soma  $a+b$  diretamente em binário.
- Converta  $a=27_{(10)}$  e  $b=75_{(10)}$  para hexadecimal. Obtenha o resultado da soma  $a+b$  diretamente em hexadecimal.
- Converta  $a=27_{(10)}$  e  $b=75_{(10)}$  para BCD. Obtenha o resultado da soma  $a+b$  diretamente em BCD.

**Problema 1.5.** Considerando que o código ASCII (representação numérica) dos caracteres '0' e 'A' é  $48_{(10)}$  e  $65_{(10)}$ , respectivamente, determine:

- O código ASCII do carácter '5' e do carácter 'B'.
- Determine o carácter obtido após adicionar 3 ao código ASCII 'f'.

**Problema 1.6.** Faça a conversão direta para base 4, 8, e 16 do número em binário  $10011010_{(2)}$ .

**Problema 1.7.** Ordene em decimal os seguintes números em ordem decrescente.

$198F_{(16)}$ ,  $1100110010000_{(2)}$ ,  $14614_{(8)}$ ,  $1212031_{(4)}$ ,  $202124_{(5)}$ ,  $6542_{(10)}$ .

CAPÍTULO II

## SÍNTESE E SIMPLIFICAÇÃO DE FUNÇÕES BOOLEANAS

**Problema 2.1.** Simplifique algebricamente as seguintes funções:

- $f(A, B, C) = ABC\bar{C} + ABC + A\bar{B}$
- $f(A, B, C) = (A + B + \bar{C})\bar{A}B\bar{C} + C$
- $f(A, B, C, D) = (A \oplus B)(C \oplus D) + \overline{(A \odot B)}(C + D) + \bar{D}$

**Problema 2.2.** Utilizando mapas de Karnaugh, simplifique as seguintes funções lógicas (sob as formas disjuntiva e conjuntiva), identificando todos os implicantes e implicados, e classificando-os como essenciais e não essenciais:

- $f(A, B, C, D) = \sum m(0,1,2,6,8,9,12,13,14)$
- $f(A, B, C, D, E) = \sum m(1,2,5,8,10,20,26,30) + \sum m_d(0,4,6,11,12,13,14,17,21,28)$

**Problema 2.3.** Considere a função  $f(A, B, C) = A\bar{B} + AC + BC$

- Desenhe o logigrama do circuito que concretiza a função indicada acima.
- Transforme a expressão inicial numa função que possa ser concretizada só com:
  - Portas NAND (e portas NOT).
  - Portas NOR (e portas NOT).Para cada caso desenhe o logigrama do circuito correspondente.
- Transforme o logigrama obtido em b.i) num esquema elétrico. Para cada porta lógica, identifique o circuito integrado utilizado; em cada ligação, anote o pino correspondente do circuito integrado. Utilize um número mínimo de circuitos integrados.
- Escreva a tabela da verdade da função  $f$ .
- Por inspeção da tabela de verdade:
  - Expresse  $f$  na forma canónica disjuntiva (soma de produtos).
  - Expresse  $f$  na forma canónica conjuntiva (produto de somas).
- Expresse  $f$  na forma canónica disjuntiva por manipulação algébrica.
- Simplifique a expressão obtida em f), usando o teorema da adjacência, de modo a obter o número mínimo de termos de soma de produto.

**Problema 2.4.** Pretende-se realizar um circuito que calcule o resultado da operação  $y = \lfloor x^2/10 \rfloor$ , sendo  $x$  um número inteiro pertencente ao intervalo  $[1;6]$  e  $\lfloor z \rfloor$  representa o arredondamento de  $z$  para o maior número inteiro  $\hat{z}$  tal que  $\hat{z} \leq z$  (i.e., arredondamento para baixo).

- Quantas entradas e saídas requer o circuito para concretizar o cálculo referido?
- Escreva a tabela da verdade das funções lógicas necessárias.
- Expresse-as na forma disjuntiva (soma de produtos) mínima. Para os termos não especificados considere, em cada função, os valores lógicos que conduzem a maior simplificação.

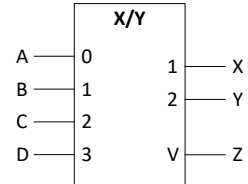
CAPÍTULO III

# IMPLEMENTAÇÃO DE FUNÇÕES BOOLEANAS

**Problema 3.1.** Implemente as funções  $f(A, B, C) = \sum m(0,2,6,7)$  e  $g(A, B, C) = \sum m(1,2,3,5,7)$  utilizando:

- Um decodificador 3:8 e o número mínimo de portas lógicas.
- Dois decodificadores 2:4 com enable e o número mínimo de portas lógicas adicionais.
- Multiplexers 8:1.

**Problema 3.2.** Considere o codificador de prioridade da figura, em que a entrada 3 é a de maior prioridade. Preencha a tabela de verdade das funções lógicas  $X(A, B, C, D)$ ,  $Y(A, B, C, D)$  e  $Z(A, B, C, D)$ .



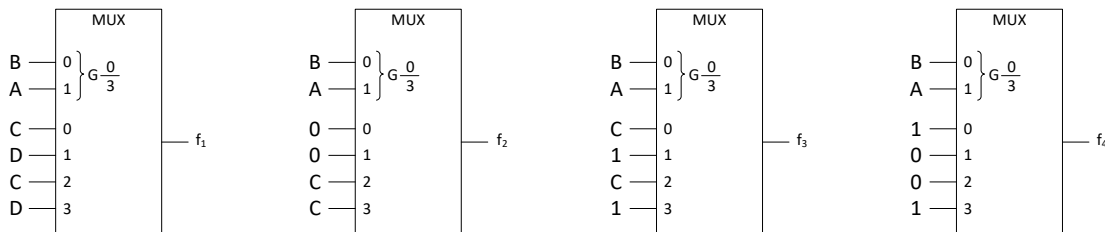
**Problema 3.3.** Pretende-se realizar um circuito que, dada uma instrução de 2 bits  $\langle I1, I0 \rangle$ , realiza uma de 4 funções lógicas alternativas (NAND, AND, OR, NOR) de acordo com a tabela ao lado. Esboce o diagrama lógico do circuito utilizando um multiplexer 4:1 e o mínimo de lógica adicional.

I1, I0	F
00	$\overline{X \cdot Y}$
01	$X \cdot Y$
10	$X + Y$
11	$\overline{X + Y}$

**Problema 3.4.** Implemente a função booleana  $f(A, B, C) = \overline{A}B + \overline{A}\overline{C} + \overline{B}C$  utilizando:

- Um multiplexer com 3 entradas de seleção.
- Um multiplexer com 2 entradas de seleção.

**Problema 3.5.** Simplifique os seguintes diagramas lógicos (utilize os elementos lógicos que considerar mais convenientes):



**Problema 3.6.** Considere a função  $f(A, B, C) = \overline{C}(A \oplus B) + C(\overline{A \oplus B})$ :

- Apresente a tabela de verdade correspondente.
- Projete e implemente a função  $f$  utilizando apenas decodificadores com 2 entradas 2:4 com enable e um número mínimo de portas NAND e NOR de 4 entradas (excluindo portas NOT).

**Problema 3.7.** Utilizando apenas decodificadores com 2 entradas 2:4 com enable, implemente:

- Um decodificador com 1 entrada 1:2 com enable.
- Um decodificador com 3 entradas 3:8 com enable.
- Um decodificador com 4 entradas 4:16 com enable.

CAPÍTULO IV

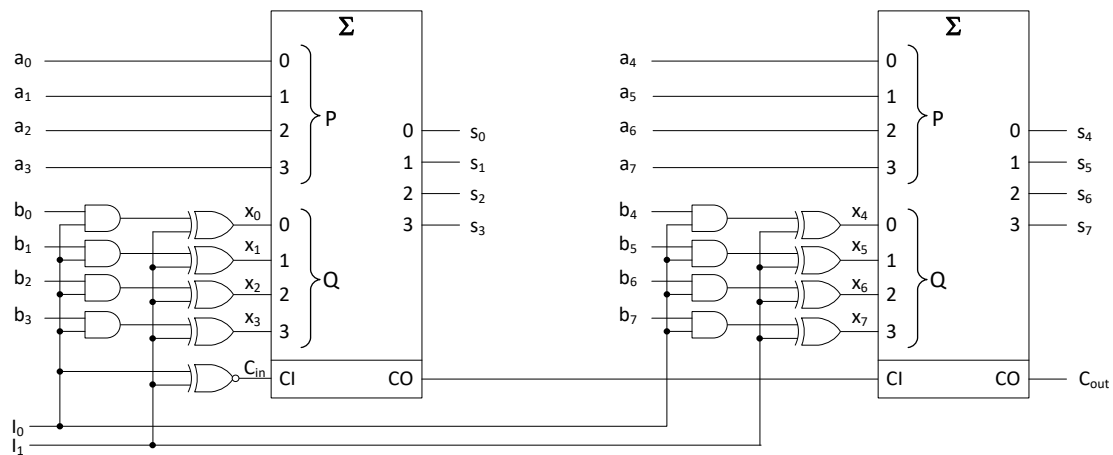
# CIRCUITOS ARITMÉTICOS

**Problema 4.1.** Considere que pretende representar números em complemento para 2 usando 8 bits.

- Indique a gama de valores possível de ser representada.
- Represente os seguintes números: +57; -57; +70; -70; +127; -127; -128; -1.

**Problema 4.2.** Considere o circuito da figura, o qual representa uma unidade aritmética simples. Preencha a seguinte tabela indicando em cada caso o valor decimal dos operandos A e B, o valor de X e o resultado da operação. Apresente ainda sob a forma de uma tabela a operação realizada em função dos sinais de controlo I= $\langle I_1, I_0 \rangle$ .

A	B	I	X	C <sub>in</sub>	S	C <sub>out</sub>	Operação
01001001	11011011	00					
		01					
		10					
		11					

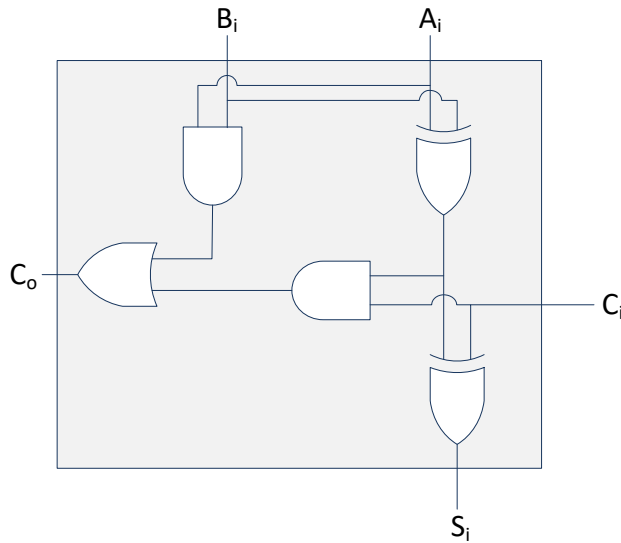


**Problema 4.3.** Considere um circuito somador de 8-bits com *carry-in*, *carry-out* e *overflow* (excesso).

- Explique sucintamente a função dos circuitos full-adder e half-adder.
- Desenhe o diagrama interno do circuito somador de 8 bits.
- Considerando que o tempo máximo de propagação do full-adder é de 100ps, determine o tempo máximo de propagação do somador.

**Problema 4.4.** Considere o full-adder ilustrado na figura e os tempos de propagação da tabela.

- Calcule o tempo máximo de propagação dos sinais  $A_i, B_i$  e  $C_i$  para cada uma das saídas  $S_i$  e  $C_o$ . Indique qual o pior caso.
- Calcule o tempo máximo de propagação de um somador de 8 bits considerando que cada full-adder é implementado como se ilustra na figura.
- Proponha as alterações que achar convenientes ao full-adder de forma a minimizar o tempo de propagação. Indique qual o novo valor para o tempo de propagação do somador de 8 bits.



Porta lógica	Tempo de propagação
NOT	10ps
AND2	30ps
OR2	30ps
NAND2	20ps
NOR2	20ps
XOR2	50ps

**Problema 4.5.** Deseja-se obter o valor de um número binário sem sinal  $A$  de 8-bits multiplicado por 129.

- Obtenha um circuito que faça esta operação utilizando apenas circuitos somadores completos de 4-bits.
- Repita a alínea anterior para o cálculo de  $A \times 40$ .

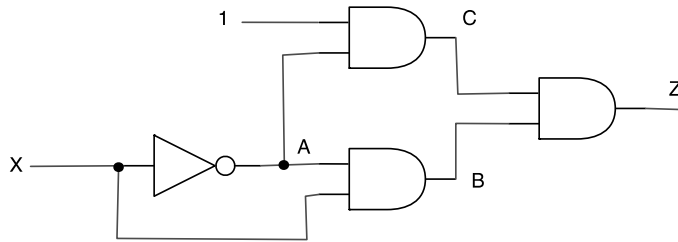
**Problema 4.6.** Desenhe um circuito aritmético com duas entradas de seleção  $S_1$  e  $S_0$  que realize as seguintes operações aritméticas. Suponha  $A$  e  $B$  entradas de  $n$ -bits.

$S_1 S_0$	$C_{in}=0$	$C_{in}=1$
00	$F = A + B$	$F = A + B + 1$
01	$F = A$	$F = A + 1$
10	$F = -B - 1$	$F = -B$
11	$F = A - B - 1$	$F = A - B$

CAPÍTULO V

**CARACTERIZAÇÃO TEMPORAL DE CIRCUITOS DIGITAIS**

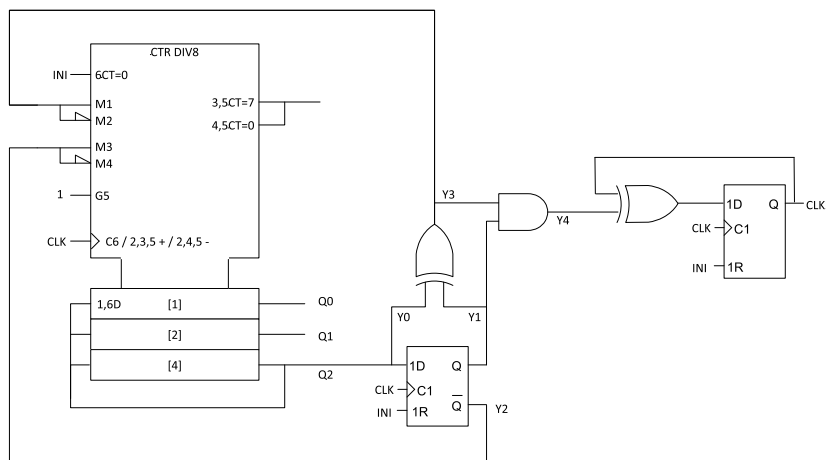
**Problema 5.1.** Considere o circuito ilustrado na figura. Sabendo que para o inversor  $t_{PHL}=t_{PLH}=5ns$  e para o AND  $t_{PHL}=t_{PLH}=10ns$ , faça o diagrama temporal que mostre a variação da saída Z quando a entrada X tem uma variação de Low para High, após estabilização, de High para Low.



**Problema 5.2.** Considere o circuito da figura.

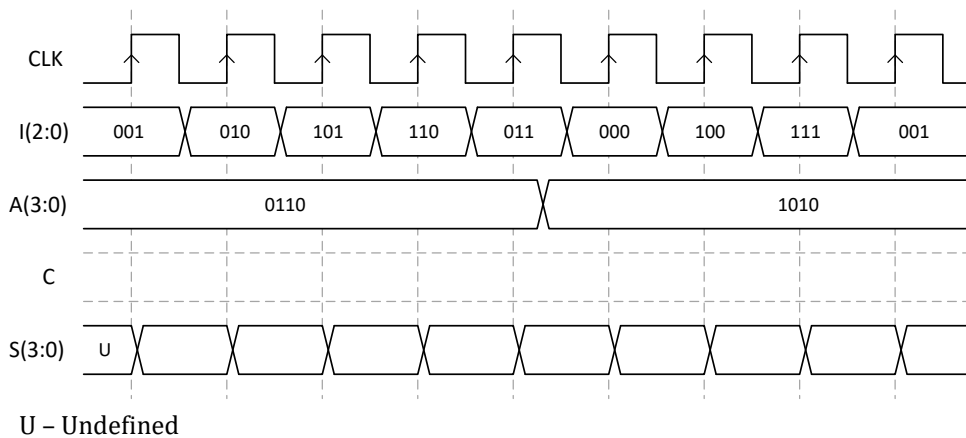
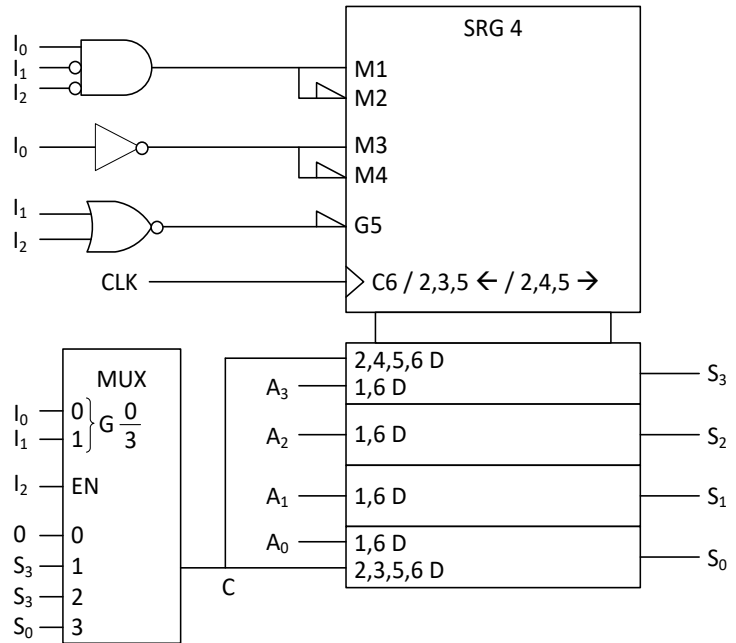
- Desenhe um diagrama temporal com os sinais INI,  $Q=\langle Q_2, Q_1, Q_0 \rangle$ ,  $Y=\langle Y_4, Y_3, Y_2, Y_1, Y_0 \rangle$  e CLK2, para um período de tempo correspondente aos primeiros 12 ciclos de relógio após um impulso de INI=1. Considere os tempos de propagação da tabela da direita.
- Desenhe o diagrama de estados correspondente à sequência de contagem  $Q=\langle Q_2, Q_1, Q_0 \rangle$ .
- Considerando que  $f_{CLK}=1MHz$ , represente a forma de onda do sinal CLK2 indicando o período de relógio.

	$T_P$	$T_{SU}$	$T_H$
AND2	10 ns	-	-
XOR2	40 ns	-	-
FF D	10 ns	8 ns	1 ns
FF JK	15 ns	12 ns	2 ns
CTR DIV8	10 ns	60 ns	1 ns



**Problema 5.3.** Considere o registo multimodo da figura.

- a) Complete o diagrama temporal abaixo indicando a forma de onda dos sinais C e  $S = \langle S_3, S_2, S_1, S_0 \rangle$  (suponha os tempos de propagação desprezáveis face ao período de relógio).





CAPÍTULO VI

## REGISTOS E CONTADORES

**Problema 6.1.** Considere um circuito contador de 1 dígito BCD com *Reset* assíncrono e *Carry Out*.

- a) Apresente a tabela de transição de estados.
- b) Considere que pretende projectar o circuito contador utilizando flip-flops D *edge triggered*.
  - i. Indique qual o número mínimo de flip-flops para a implementação do circuito.
  - ii. Indique qual o valor que deverá colocar nas entradas dos flip-flops de forma a realizar a função pretendida.
  - iii. Indique a função lógica para as entradas de cada um dos flip-flops.
- c) Desenhe o diagrama lógico do contador BCD considerando flip-flops tipo D. Adicione ao circuito contador uma entrada de carregamento em paralelo (*load*) de um valor inicial (considere a utilização de multiplexers).

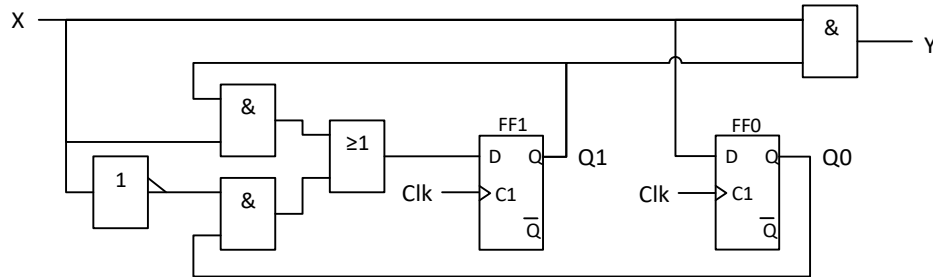
**Problema 6.2.** Utilizando flip-flops do tipo D, esboce o diagrama lógico de um contador up/down de 8 bits com entrada de carregamento em paralelo (*load*) e reset assíncrono.

**Problema 6.3.** Utilizando flip-flops do tipo D, esboce o diagrama lógico de um circuito registo de deslocamento com entrada de carregamento em paralelo e de reset síncrono. Admita ainda a existência de um sinal de comando CTR que controla as funções realizadas pelo registo de deslocamento, tal como indicado na tabela ao lado.

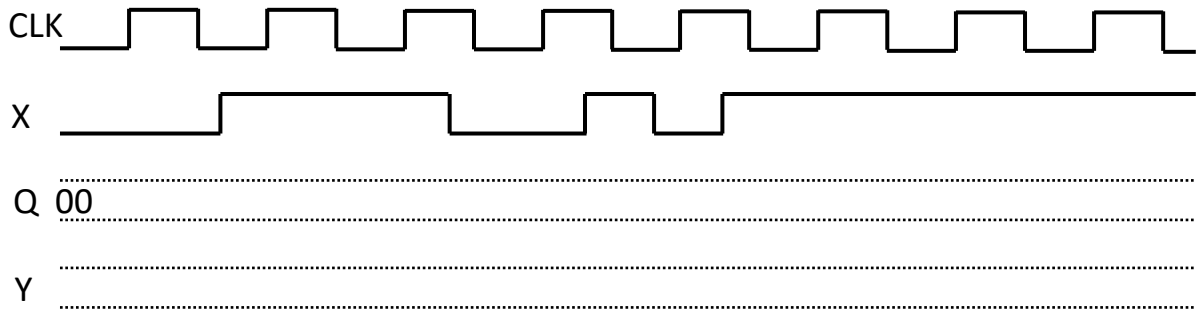
CTR	Operação
0	Hold
1	Load
2	Logic Shift left
3	Logic Shift Right
4	Arithmetic Shift Left
5	Arithmetic Shift Right
6	Rotate Left
7	Rotate Right

CAPÍTULO VII  
**MÁQUINAS DE ESTADO**

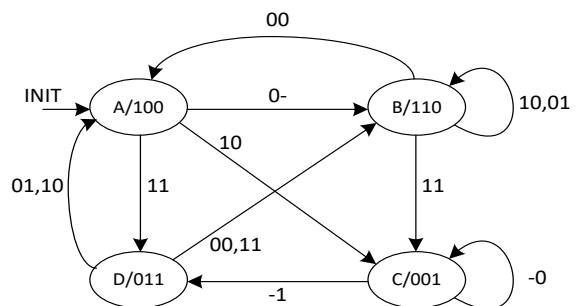
**Problema 7.1.** Considere o seguinte circuito sequencial síncrono com uma entrada X e uma saída Y:



- Identifique o tipo de máquina de estados (Moore vs Mealy). Justifique.
- Obtenha o diagrama de estados correspondente.
- Complete o seguinte diagrama temporal de acordo com o esquema da figura.



**Problema 7.2.** Considere que pretende projetar um circuito representado pelo diagrama de estados seguinte (note que o sistema tem duas entradas M e N e três saídas X, Y e Z; a ordem dos valores apresentados no diagrama é exatamente MN para as entradas e XYZ para as saídas):

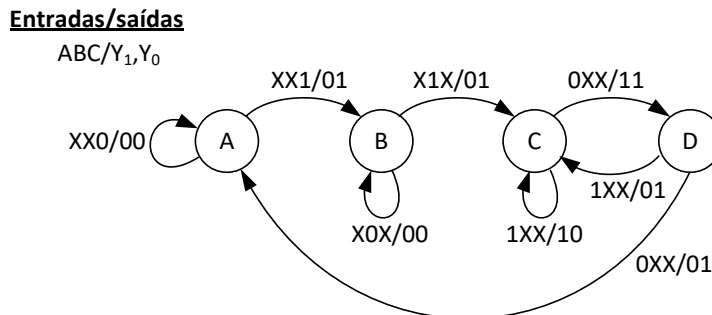


- Indique a codificação dos estados que resulta num número mínimo de flip-flops.
- Utilizando flip-flops do tipo D, apresente a tabela de transição de estados e inclua a indicação do valor das entradas dos flip-flops para cada conjunto *<estado actual, entrada>*.
- Repita a alínea b) utilizando flip-flops do tipo D mas codificação one-hot (1 FF por estado).
- Indique a função lógica das entradas dos flip-flops para o caso da alínea c).

**Problema 7.3.** Considere o seguinte sistema de aviso do funcionamento de uma central de monitorização:

A central tem 2 sensores distintos e independentes. Quando um dos sensores está ativo em 2 flancos ascendentes de relógio consecutivos, a central acende uma luz de aviso amarela. Se ambos os sensores estiverem ativos simultaneamente basta ocorrer um flanco ascendente para a luz amarela acender. A luz amarela deve continuar acesa enquanto o(s) sensor(es) que a ativou(aram) não ficarem inativos durante pelo menos 1 período completo. A luz vermelha deve acender se as condições que motivaram o acendimento da luz amarela continuarem durante mais um período. Assim que a luz vermelha acender, já não deve apagar. Desenhe o diagrama de uma máquina de estados que implemente o comportamento pretendido. Caso exista algum fator não especificado, tome a decisão que achar mais conveniente e justifique-a.

**Problema 7.4.** Considere o diagrama de estados figura seguinte:



- Considerando uma codificação *one-hot* e a utilização de flip-flops do tipo D, apresente a expressão Booleana correspondente à entrada de cada flip-flop.
- Desenhe o esquema lógico do circuito projectado.

**Problema 7.5.** Considere que pretende projetar um circuito que regista o tempo das últimas chamadas telefónicas efetuadas num telemóvel. Considere que, para cada chamada telefónica, guarda o número de telefone (número de 9 dígitos) e ainda o tempo da chamada, o qual se encontra no formato HH:MM:SS. Assuma que todos os números estão representados no formato BCD.

- Indique qual a dimensão mínima da memória capaz de registar o par (número de telefone, tempo da chamada) das últimas 32 chamadas.
- Considere que utiliza uma memória convencional, endereçada ao byte, e com 12 bits de endereço.
  - Indique uma forma de guardar a informação nesta memória (i.e., a organização dos dados na memória).
  - Considerando a organização anterior, qual o número máximo de chamadas telefónicas que pode guardar em memória.

**Problema 7.6.** Para cada um dos casos do problema 1, projete um circuito sequencial capaz de guardar os dados em memória. Considere as seguintes entradas/saídas para o circuito:

Entradas:

- reset – reset assíncrono do circuito
- digit<sub>i</sub>(3:0) – dígito i do número de telefone (em BCD)
- seg1(3:0), seg0(3:0) – tempo da chamada (segundos, em BCD)
- min1(3:0), min0(3:0) – tempo da chamada (minutos, em BCD)
- hor1(3:0), hor0(3:0) – tempo da chamada (horas, em BCD)

Saídas:

- ready – o circuito está pronto para receber novos dados

**Problema 7.7.** Desenhe o diagrama de estados da máquina de Moore correspondente a um sistema de controlo de uma fechadura digital, o qual tem as seguintes entradas:

- a) Um botão de INI que indica o início da sequência de 4 símbolos binários.
- b) Dois botões, BT0 e BT1, para inserção de cada um dos símbolos binários, 0 e 1, respetivamente; o valor dos botões é:

0 – não pressionado; 1 – pressionado.

- a) Um sensor FECHO que indica o fecho da porta; este sensor encontra-se com o valor lógico ‘1’ durante um período de relógio após o fecho da porta.

O mecanismo de controlo tem as seguintes saídas:

- 1) L1 - Um LED de cor amarela que se encontra ativo (valor lógico 1) durante a inserção do código.
- 2) L0 - Um LED de cor vermelha que, quando ativo (valor lógico 1), indica que o código inserido está errado.
- 3) Um sinal ABRIR que quando ativo destranca e abre a porta; este sinal deverá manter-se ativo durante 1 ciclo de relógio.

O funcionamento da fechadura digital deverá ser o seguinte.

- Para abrir a porta o utilizador deve pressionar o botão de INI seguido do código 1101 (correspondente à sequência de comandos INI,BT1,BT1,BT0,BT1). Se a sequência for errada o sistema deverá acender o led vermelho (L0), desligar o led amarelo (L1) e esperar que o utilizador volte a pressionar a tecla INI.
- Uma vez inserido o código correto, o sinal ABRIR deverá manter-se ativo durante 1 ciclo de relógio de forma a destrancar a porta.
- Quando a porta for aberta, a fechadura digital espera que esta seja fechada (indicação recebida pelo sensor FECHO), antes de permitir a inserção do código.

Projete a máquina de Moore correspondente apresentando o diagrama de estados e a codificação usada. Tome as decisões e/ou simplificações que julgar mais razoáveis. Justifique a resposta explicando sucintamente o funcionamento da máquina de estados.