



DEEC

DEPARTAMENTO DE ENGENHARIA
ELECTROTÉCNICA E DE COMPUTADORES

TÉCNICO LISBOA

Electrónica Geral

Autor: José Gerald

MEAer: 4^o ano, 1^o semestre

MEFT: 3^o ano, 1^o semestre

2020/2021

Capítulo 8

Circuitos Digitais

1. Introdução

1.1. Introdução

Circuitos Digitais MOS:

- Pequena área
- Fabrico simples
- Baixo consumo
- Elevada densidade de integração
- Sinais digitais: só dois estados lógicos, 0 e 1, com zona de separação

Escala de Integração: (Nº de portas por integrado)

- SSI – 1 a 10
- MSI – 10 a 100
- LSI – 100 a 1000
- VLSI – > 1000 (milhões)

1. Introdução

1.1. Introdução (Cont.)

Famílias lógicas:

- Mesma tecnologia
- Estruturas de circuitos semelhantes
- Desempenho básico igual

Famílias com FET

Família	P_D	Área	Freq. Máx.
NMOS	<>	<	< (MHz)
CMOS	<<	<	< (dez. MHz- HCMOS)
BiCMOS	<>	>	>> (cent. GHz)
Pseudo-NMOS	<>	<	< (MHz)
GaAs MES	>	<	>> (dez. GHz)

Famílias com BJT

Família	P_D	Área	Freq. Máx.
TTL	>	>	> (cent. MHz)
ECL	>>	>>	>> (dez. GHz)

2. Circuitos Digitais Básicos

2.1 Inversor Pseudo-NMOS

Q_p funciona como fonte de corrente (constante) mas só se $v_o \leq V_T$

Vantagens:

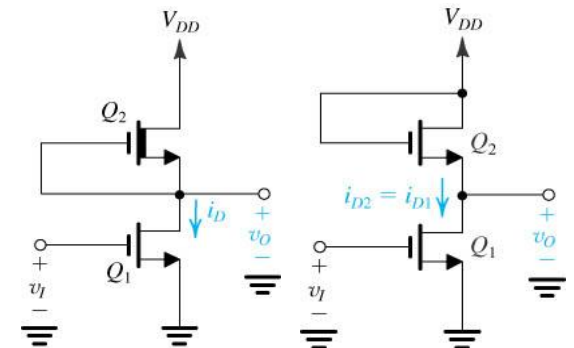
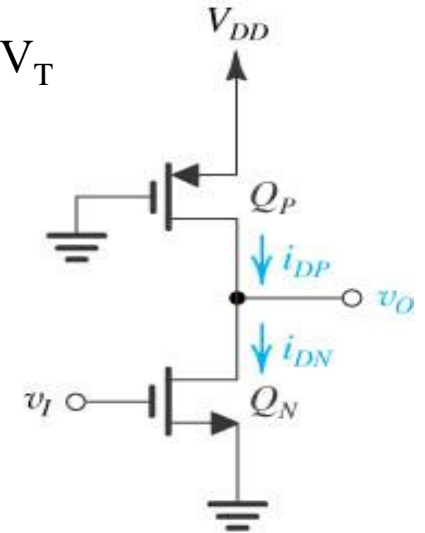
- v_I só liga a 1 porta \Rightarrow menor hardware, área e delay.
- Não apresenta efeito de corpo (source a V_{dd}).

Desvantagens:

- $v_{oL} > 0$. Para minimizar este problema faz-se $K_n = 4$ a $40 K_p$.
- Consumo estático não nulo para $v_I = V_{DD}$. Usa-se para aplicações com v_o predominantemente no estado *high*.

Alternativas:

- Q_p NMOS de depleção ou reforço. Melhora P_D e margem de ruído mas têm efeito de corpo.



2. Circuitos Digitais Básicos

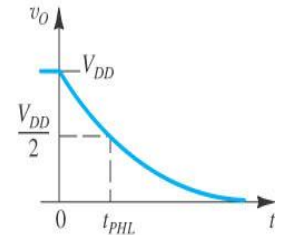
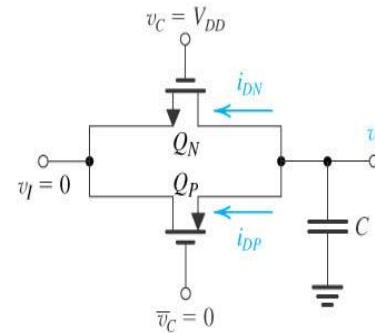
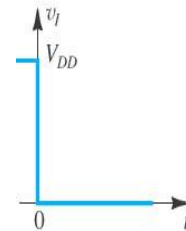
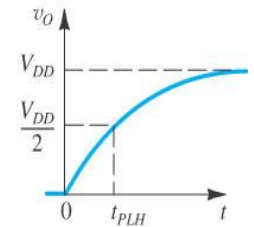
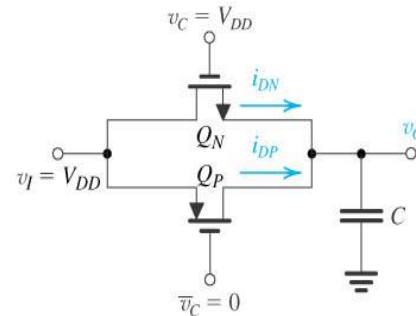
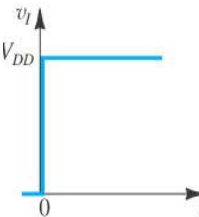
2.2 Transistores de Passagem (Interruptor CMOS)

Vantagens:

- v_I igual a $v_{Imáx}$ e v_{Imin} → não requer fonte adicional.
- Quando a resistência de canal de um é grande, no outro é pequena, pelo que o paralelo é aproximadamente constante.

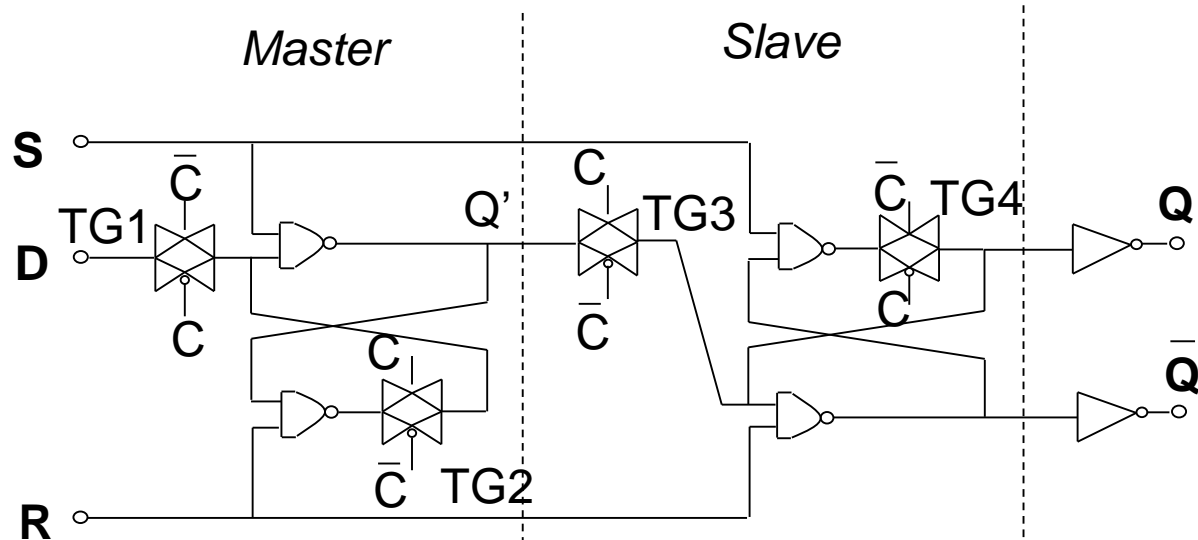
Desvantagens:

- Maior complexidade, área e capacidades.



2. Circuitos Digitais Básicos

2.3 Bástula D



→ Quando o clock está a “0” \Rightarrow TG1=ON, TG2=OFF, TG3=OFF, TG4=ON
Slave isolado do Master, $Q' = \bar{D}$

→ Quando o clock vem a “1” (“edge triggered”) \Rightarrow TG1=OFF, TG2=ON, TG3=ON, TG4=OFF

Master isolado de D. No Master, $\bar{Q}' = D_{n-1}$; $\bar{Q} = Q' = \bar{D}_{n-1}$.

Conclusão: Na transição positiva do clock (c) a saída Q é igual à entrada D que existia antes da transição

2. Circuitos Digitais Básicos

2.4 Memórias

Acesso Aleatório

RAM – *Random Access Memory*. R/W e rápidas, usam-se para a memória principal

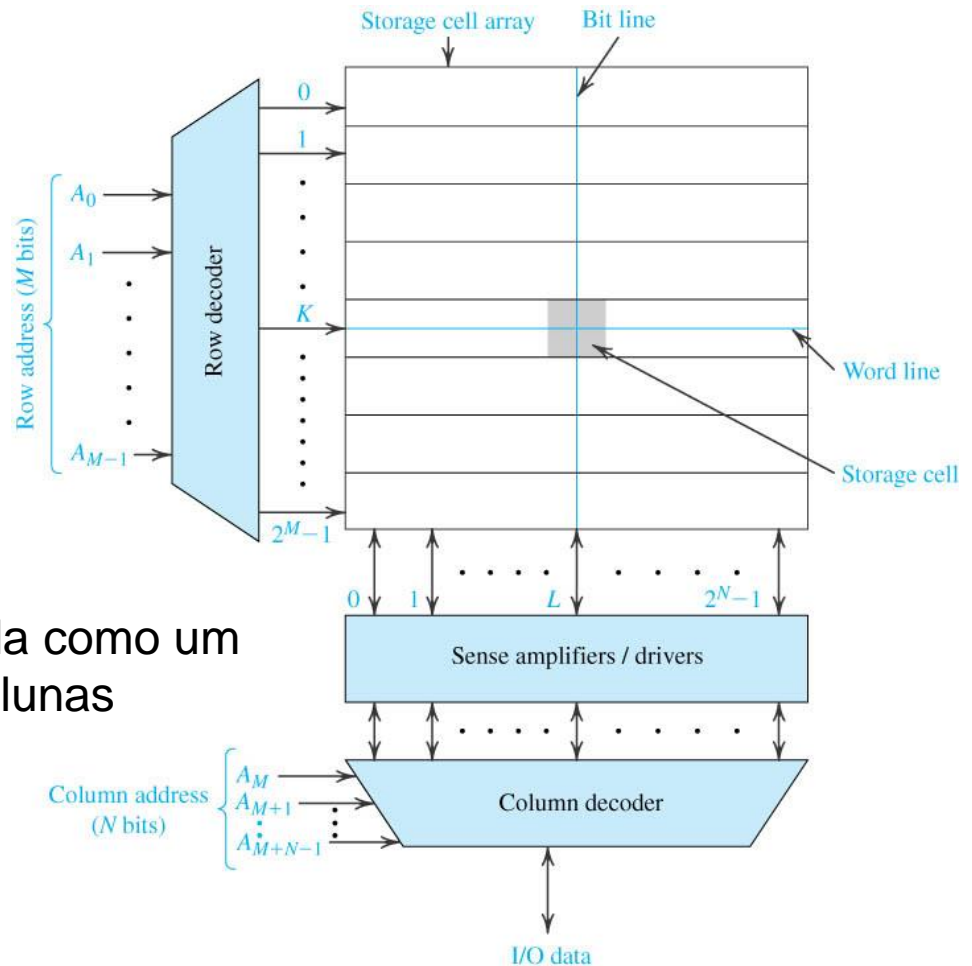
ROM – *Read Only Memory*. R/ e rápidas, usam-se para o sistema operativo, *lookup tables*, etc.

Acesso Sequencial

Memorização massiva de dados. Série ou sequencial tipo disco ou fita. O tempo de acesso depende da localização dos dados.

2. Circuitos Digitais Básicos

2.4 Memórias (Cont.)

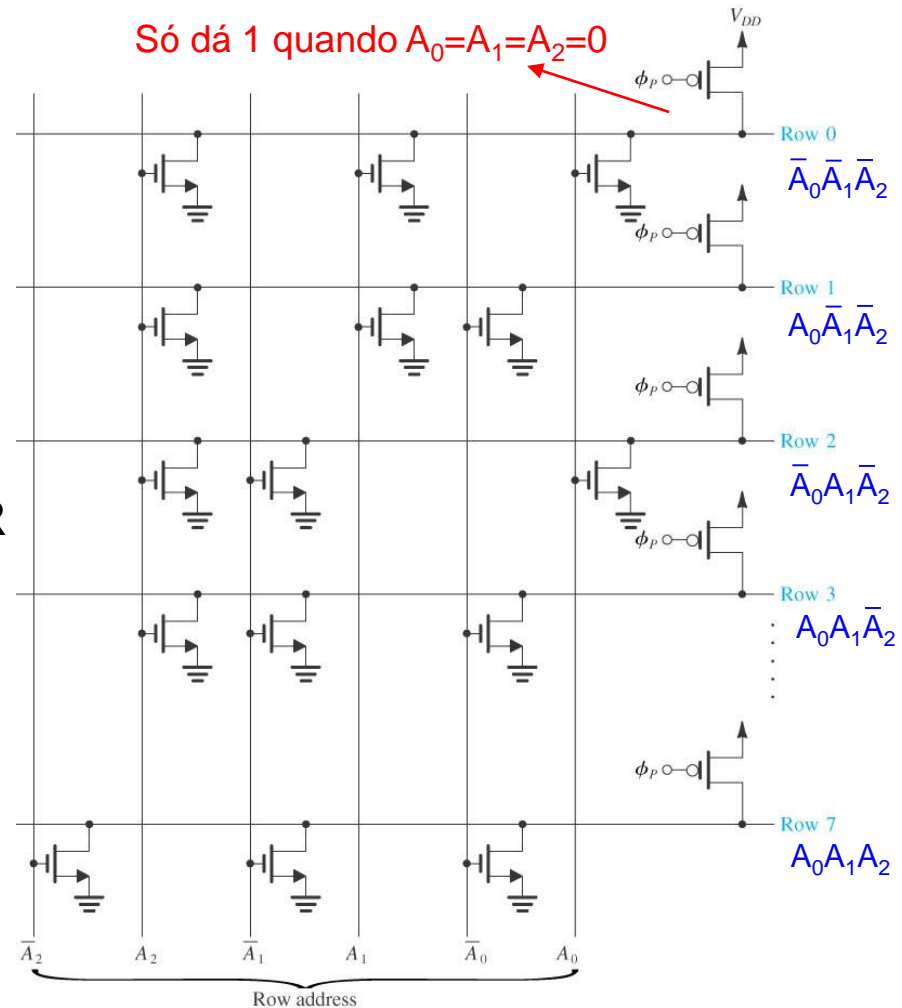


Memória de 2^{N+M} bits organizada como um agregado de 2^M linhas por 2^N colunas

2. Circuitos Digitais Básicos

2.4 Memórias (Cont.)

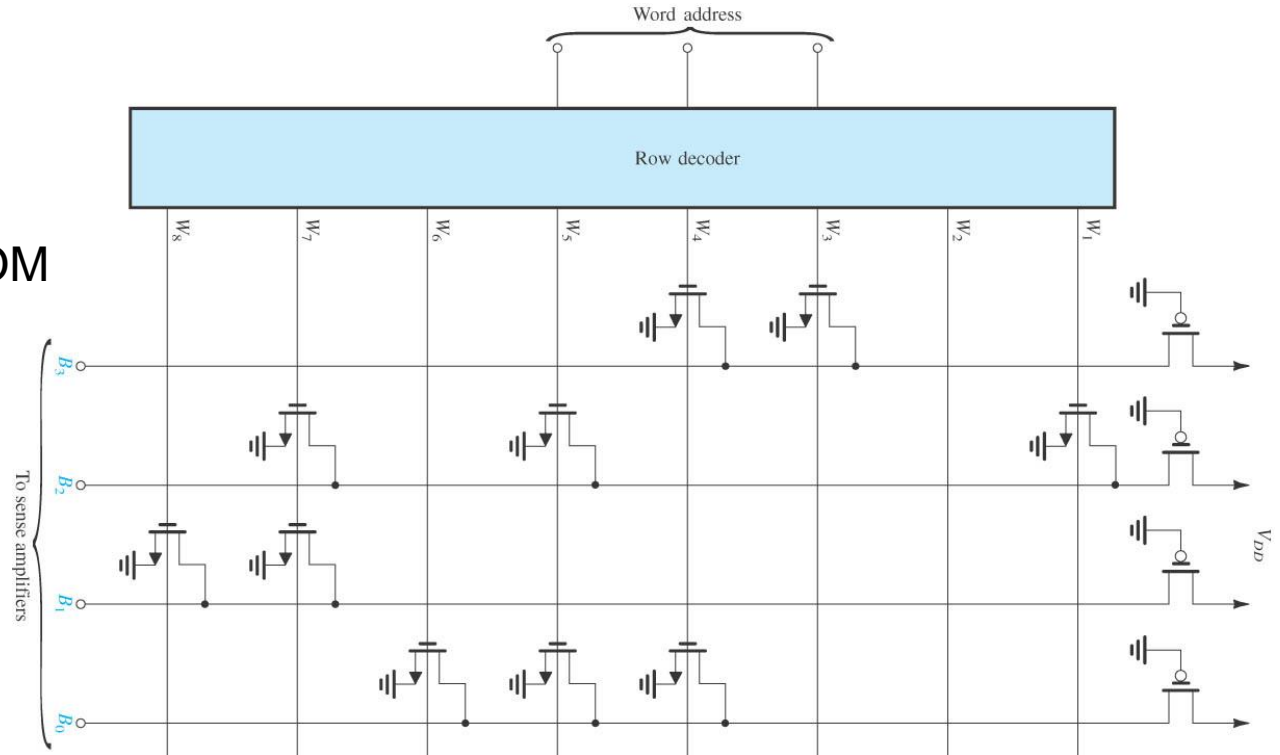
Descodificador de endereço NOR



2. Circuitos Digitais Básicos

2.4 Memórias (Cont.)

Memória MOS ROM com inversores pseudo-NMOS



Exp:

Endereço							
W ₁	W ₂	W ₃	W ₄	W ₅	W ₆	W ₇	W ₈
1	0	0	0	0	0	0	0



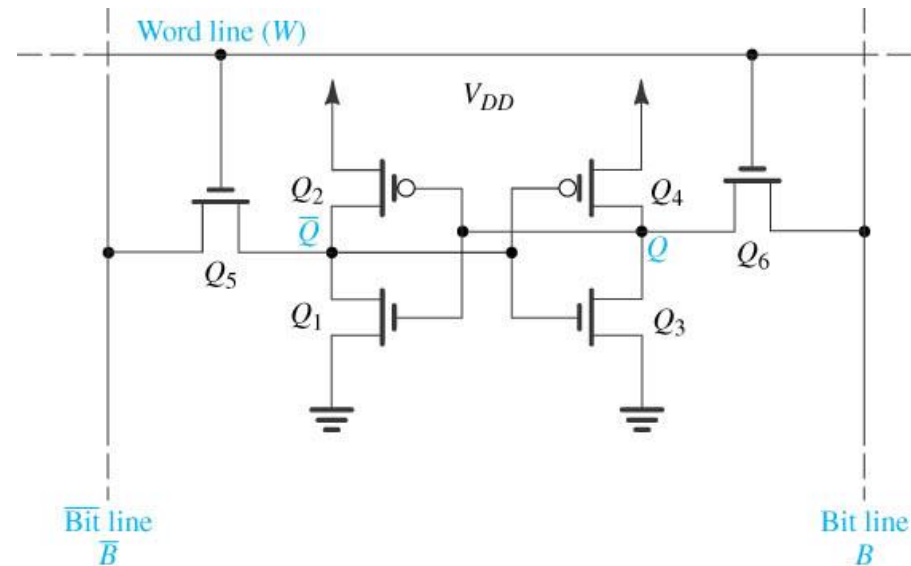
Dados			
B ₀	B ₁	B ₂	B ₃
1	1	0	1

2. Circuitos Digitais Básicos

2.4 Memórias (Cont.)

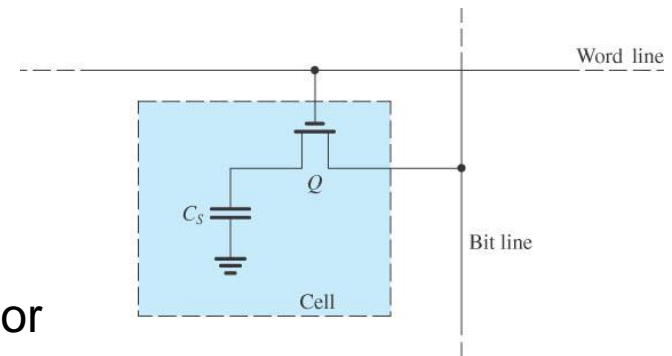
Célula regenerativa de memória SRAM

Leitura (Read): Pré-carrega-se \bar{B} e B com $V_{DD}/2$. Quando os interruptores Q_5 e Q_6 fecharem a carga memorizada vai desequilibrar as tensões em B e \bar{B} , o que é suficiente para o amplificador de leitura lê e regenerar a célula.



Célula de memória DRAM

Para se ter D (Data) e \bar{D} acrescenta-se outro espelho “dummy” carregado com $V_{DD}/2$. A diferença para D é suficiente para o amplificador de leitura lê e regenerar a célula.

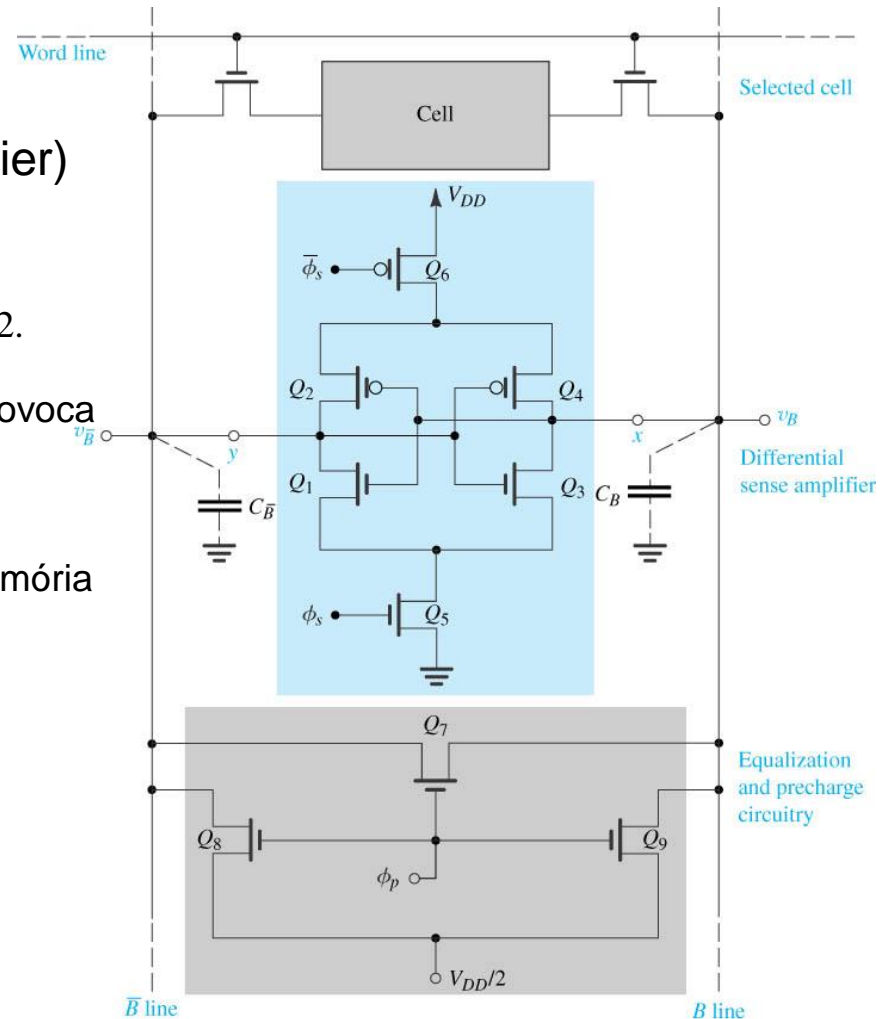


2. Circuitos Digitais Básicos

2.4 Memórias (Cont.)

Amplificador de Leitura (Sense Amplifier)

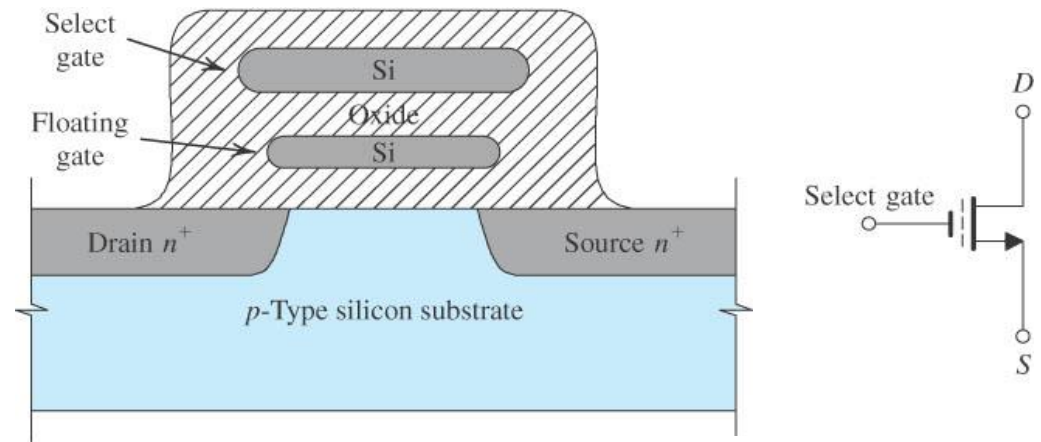
- 1) As linhas B e \bar{B} são pré-carregadas com $V_{DD}/2$.
- 2) A célula a ser lida é ligada às linhas, o que provoca desequilíbrio diferencial em B e \bar{B} .
- 3) Via Q_5 e Q_6 é ligada a célula amplificadora diferencial regenerativa (idêntica à célula de memória SRAM) que amplifica a diferença e restaura os valores V_{DD} ou 0 em B e \bar{B} .



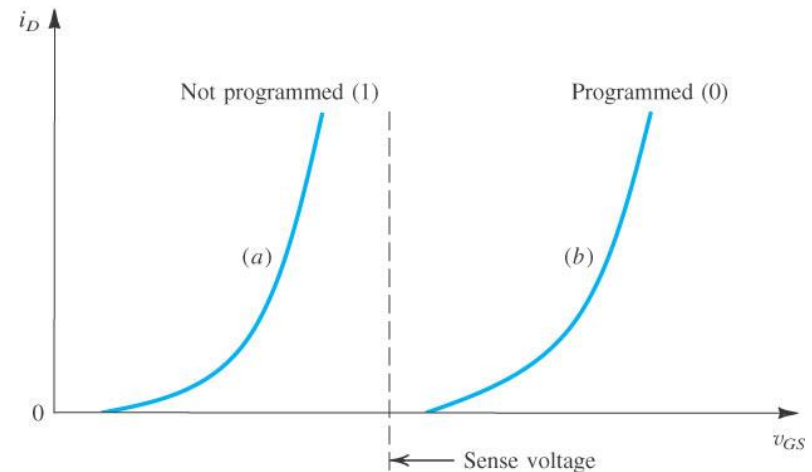
2. Circuitos Digitais Básicos

2.4 Memórias (Cont.)

Célula EPROM



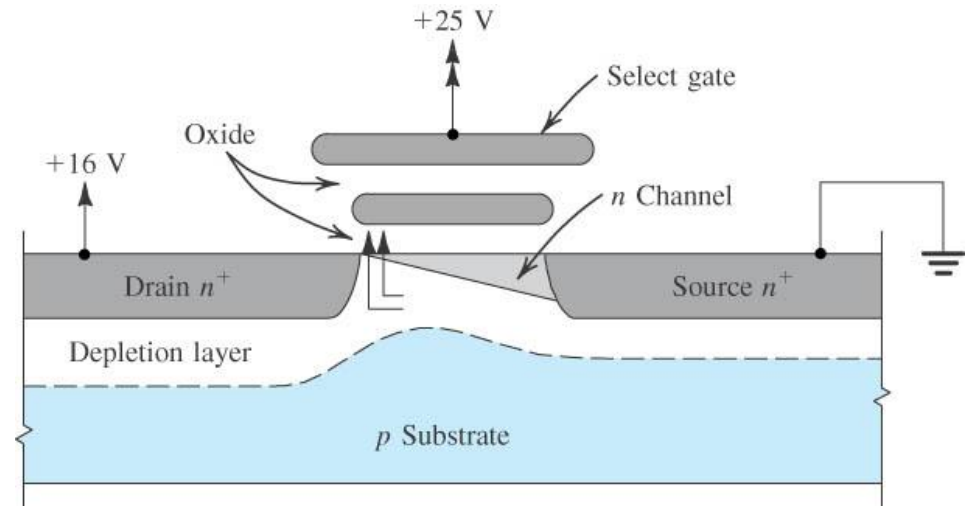
Para programar aplica-se um tensão forte na gate “select gate” o que provoca deixar a “floating gate” com cargas negativas que lá irão ficar armazenadas. Estas cargas obrigam a tensões V_{GS} muito maiores para que haja condução.



2. Circuitos Digitais Básicos

2.4 Memórias (Cont.)

Célula EPROM na programação
(dura 100 anos programada)



Durante a programação aparece um canal n (FET de reforço) devido a valores de V_{DS} muito elevados. Assim, os electrões fortemente acelerados no canal são também atraídos para a “select gate” pelo campo eléctrico, via óxido entre esta e o canal, ficando alguns presos na “floating gate”. Estes electrões vão carregar negativamente esta gate o que posteriormente vai obrigar a valores de V_{GS} muito elevados para que haja formação de canal.

Na desprogramação usa-se uma luz ultravioleta (a “floating gate tem janela de quartzo) para que, com a energia dos fotões, se forneça energia suficiente aos electrões aprisionados a fim de voltarem para o substrato. Para as EEPROMs (usadas, por exemplo nas memórias *flash*) esta energia é fornecida por meios eléctricos.

3. FPGAs

3.1 Introdução

- Sistema electrónico digital com
 - Circuitos integrados standard:
 - *Multiplexers*, memórias, microprocessadores, etc
 - circuitos integrado de aplicação específica (ASIC)
 - para um sistema ou aplicação particular
- Circuitos actuais com muitos transístores. Em 1965, Gordon Moore previu que o número de transístores num circuito integrado duplicaria em cada 2 anos.

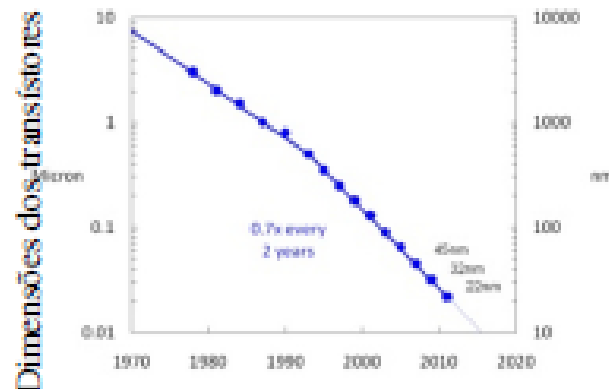


Figura: <http://www.intel.com/technology/mooreslaw/>

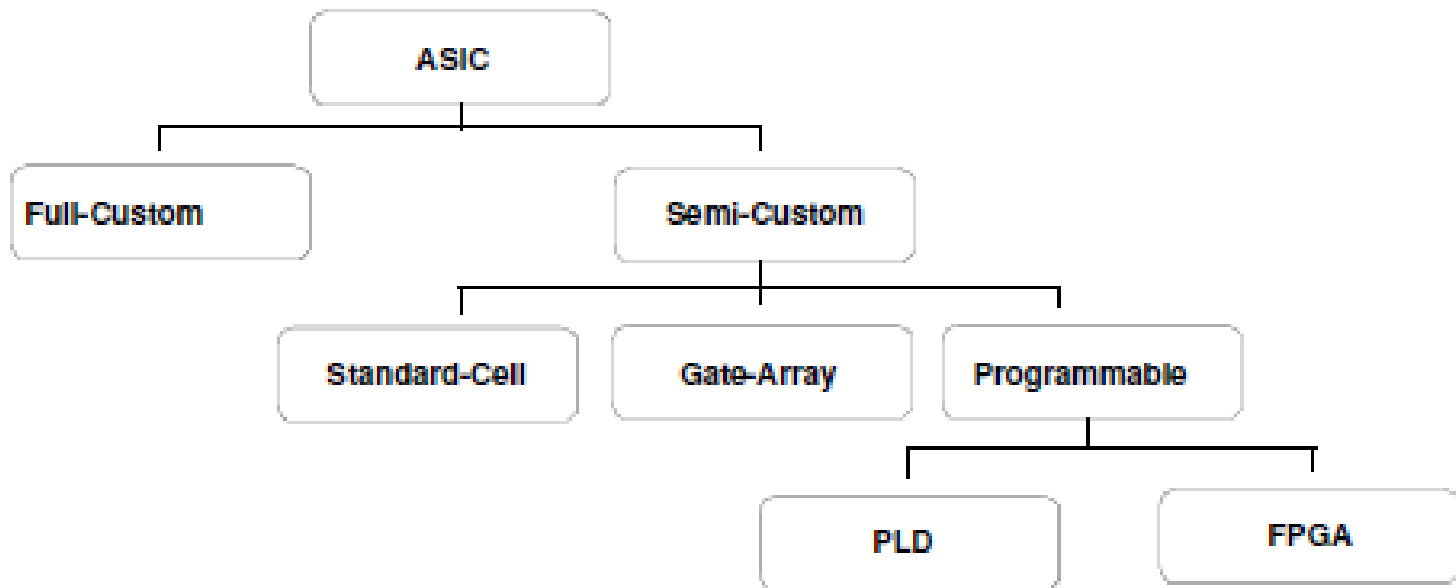
3.1 Introdução (Cont.)

- **Evolução do número de transistores:**
 - Abril de 1972: 8008, 200 kHz, 3500 transístores.
 - Fevereiro de 2004: Pentium 4, 3,4 GHz, 55 milhões de transístores.
 - Novembro de 2006: Core 2 Extreme QX6700, 3,2 GHz, 582 milhões de transístores.
 - 2010: Itanium 9300, 4 processadores, mil milhões de transístores.
 - 2014: devia ter-se atingido o limite da tecnologia de 20 nanómetros (fim da lei de Moore?) a partir da qual, a camada de oxido de silício já não é isolante.
 - 2016: Considera-se que o limite da tecnologia de silício é afinal 7 nm. Assim, em 2018 esse limite deveria ter sido atingido. Para continuar a evoluir é necessário outra tecnologia, por exemplo, nanotubos de carbono?
 - 2018: esse limite deveria ser atingido. Mas por artifícios de arquitectura (multiple gate) consegue-se 5 nm. Para continuar a evoluir é necessário outra tecnologia, por exemplo, nanotubos de carbono?

3. FPGAs

3.1 Introdução (Cont.)

- CI: transístores e ligações realizados em múltiplas camadas.
- O projecto ASIC (Application Specific Integrated Circuit).



3. FPGAs

3.1 Introdução (Cont.)

- *Full custom:*
 - projecto das células lógicas, dos circuitos e do *layout*. Não se utilizam células já definidas. Personalização de transístores e ligações.
- *Standard cells:*
 - Utilizam-se células lógicas pré-definidas e pré-caracterizadas (biblioteca). Define-se a colocação (*placement*) das *standard cells* e efectua-se o encaminhamento das ligações (*routing*).
- *Gate array:*
 - Transístores pré-definidos no silício, que estão implantados com um determinado padrão. São configuradas as interligações com as camadas metálicas. Há macros (células lógicas pré-definidas)

3. FPGAs

3.1 Introdução (Cont.)

- **Programáveis** (não se personalizam camadas):
 - PLD (programmable Logic Device): são configurados para uma determinada aplicação.
 - São matrizes de células lógicas
 - Exemplo: ROM
 - FPGA (Field-Programmable gate ARRAY)
 - Matriz de células lógicas básicas rodeadas por uma zona para interligações.
 - Programam-se as células e os portos de entrada e saída
 - Semelhantes aos PLDs, mas maiores e mais complexas. As FPGAs actuais permitem realizar sistema electrónicos complexos.
 - Ideais para prototipagem e pequenas séries

3.2 Configuração

- **Configuração/programação de dispositivos FPGA:**
 - A maior parte é baseada em RAM estática (SRAM), ou seja volátil. Configura-se quando se liga a alimentação (*power-up*).
 - Baseadas em Flash, em que existe uma Flash interna que mantém a configuração. Na ligação da alimentação, a SRAM pode ser configurada da Flash. Podem não ter SRAM para configuração.
 - Antifuse: menos vulneráveis a efeitos da radiação, mas só são programáveis uma vez.

3. FPGAs

3.2 Configuração (Cont.)

- **Configuração/programação de dispositivos FPGA:**

- Fabricantes de FPGAs:

- Xilinx: famílias Virtex (4, 5, 6, 7) e Spartan (baixo custo)

Family	Technology
Virtex	180 nm
Virtex-E	130 nm
Virtex-EM	90 nm
Virtex-II	130 nm
Virtex-II Pro	130 nm
Virtex-4	90 nm
Virtex-5	65 nm

» Virtex 6 40 nm

» Virtex 7 28 nm (2010)

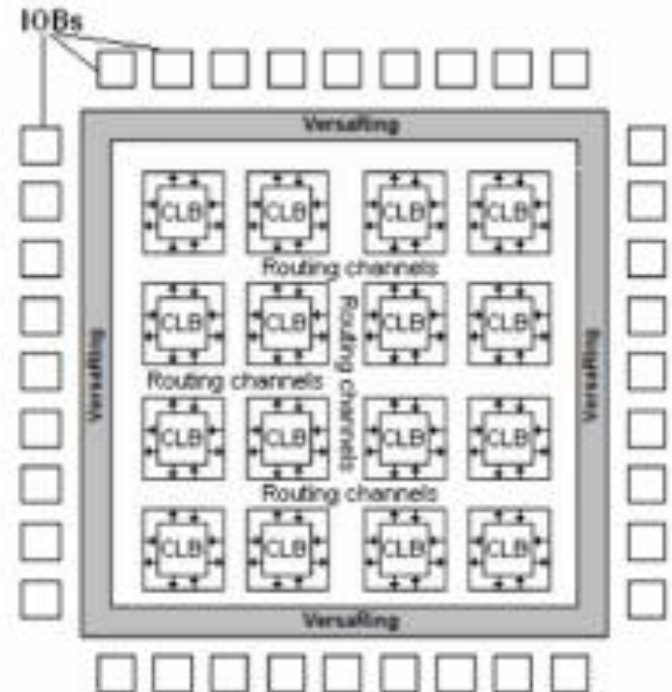
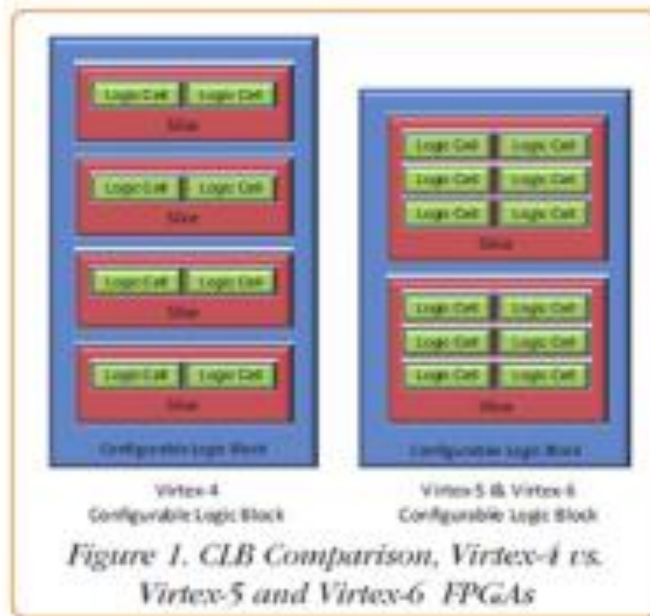
- Altera: famílias Stratix-IV e Cyclone (baixo custo)

- Actel: mercados militar e aeroespacial. Menor densidade que as dada Xilinx e Altera. Têm dispositivos tolerantes à radiação (antifuse). Têm combinação com parte analógica.
- Lattice Semiconductor
- Atmel: principalmente microcontroladores mas têm uma família que combina AVR MCU com FPGA.

3. FPGAs

3.2 Configuração (Cont.)

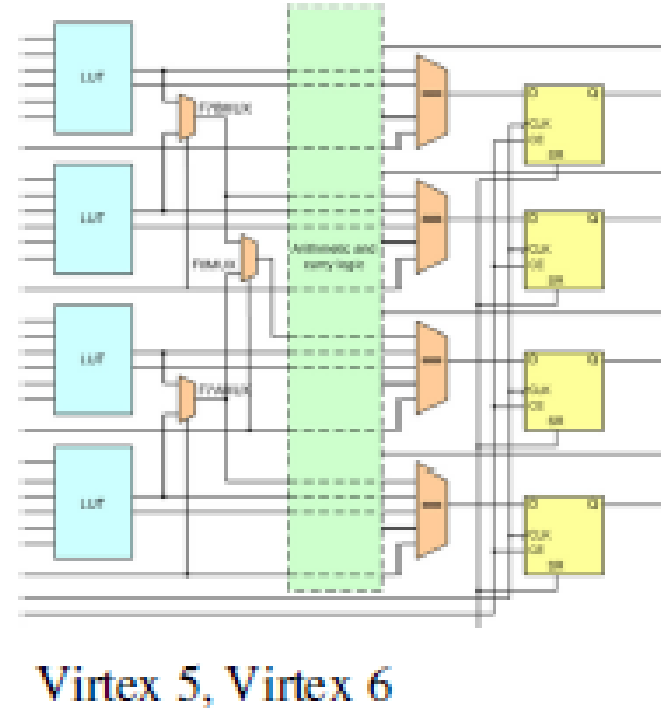
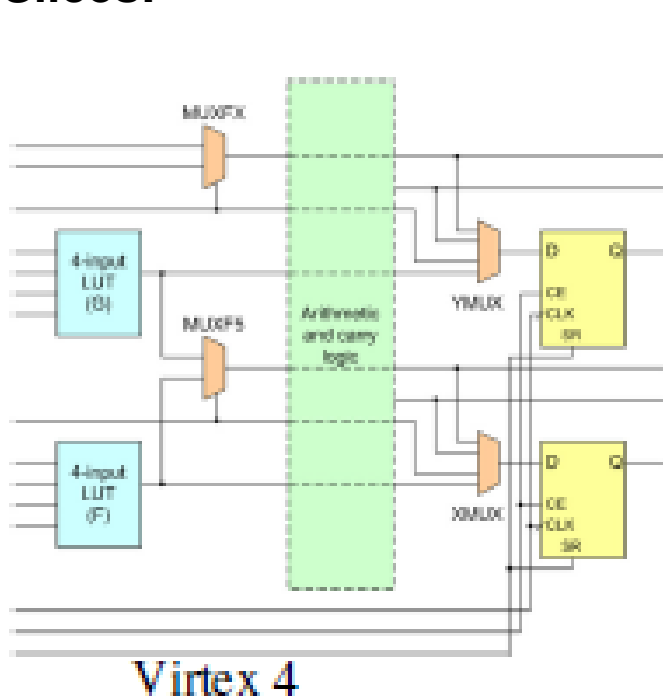
- Elementos básicos da Xilinx (lógica):
 - CLB (Configurable Logic Block)
 - *Hierarquia: CLB → slices → logic cells*



3. FPGAs

3.2 Configuração (Cont.)

- Slices:



Logic cells: LUTs, multiplexers, aritmética e registos (FF ou latches)

3. FPGAs

3.3 Projecto/Programação

- Projecto de um sistema electrónico em FPGA:
- A descrição do projecto de uma FPGA é feito a nível RTL (Register Transfer Level) que representa um circuito digital como base num conjunto de primitivas: somadores, contadores, multiplexers, registos, etc.
- Existem duas formas básicas para descrever o circuito/sistema a projectar:
 - diagrama esquemático ou descrição textual, mais simples de visualizar
 - linguagem textual HDL (Hardware Description Language), mais conveniente para grande projectos.

3. FPGAs

3.3 Projecto/Programação (Cont.)

- Linguagens mais utilizadas para descrever hardware de sistemas digitais:
 - VHDL (Hardware Description Language VHSIC)
 - IEEE standard 1076 (1987). Nova versão em 1993
 - ADA like (Pascal)
 - Verilog
 - comprada pela Cadence em 1989
 - do domínio público em 1990.
 - IEEE standard 1364 em 1995.
 - C-like
- Têm diferenças, mas as capacidades são semelhantes. A escolha da HDL depende de: preferências pessoais e disponibilidade de ferramentas de EDA.

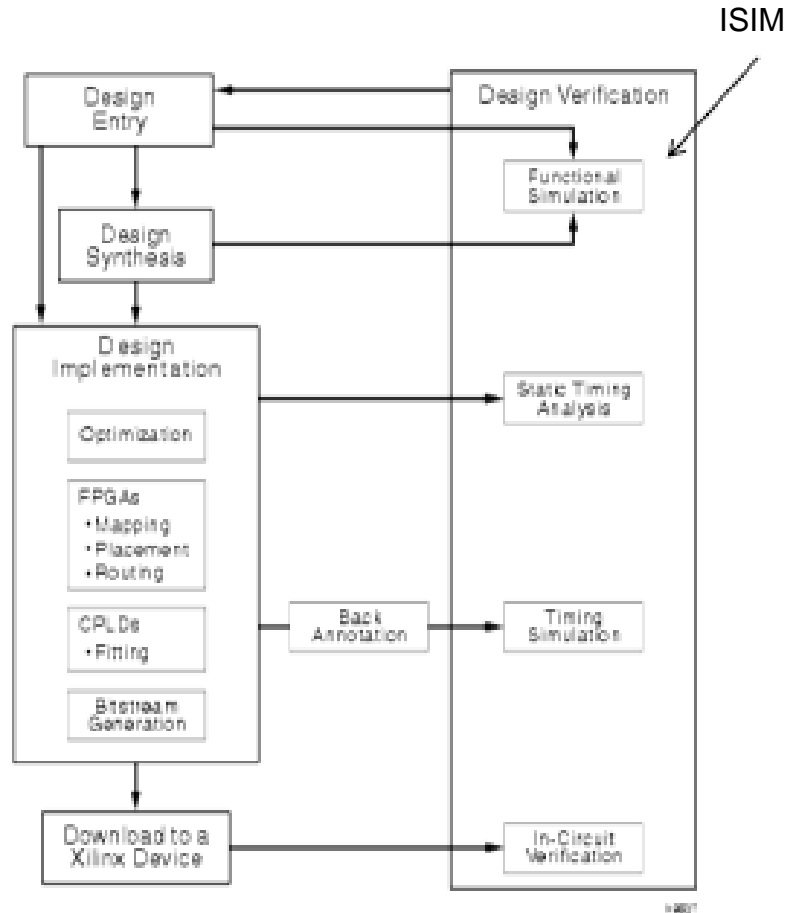
3. FPGAs

3.3 Projecto/Programação (Cont.)

- Fluxo de projecto:

VHDL

Translate:
 Map:
 Place & Route:



http://www.xilinx.com/itp/xilinx8/help/ise/guide/html/ise_fpga_design_flow_overview.htm

- Desde 2012 o ISE deu lugar ao Vivado