

TRABALHOS DE LABORATÓRIO IV E V

SISTEMA DE GESTÃO DE TELEFONE

1. INTRODUÇÃO

Pretende-se com este trabalho que os alunos analisem e projetem um circuito de gestão de um telefone, através do dimensionamento de uma máquina de estados e de um circuito temporizador.

Notas preliminares importantes:

- Este enunciado diz respeito aos laboratórios 4 e 5, que terão lugar, respetivamente, nas semanas de 11 a 15 de Maio, e de 25 a 29 de Maio. Estarão disponíveis na página da cadeira folhas de resposta separadas para cada um dos laboratórios 4 e 5.
- Este enunciado deverá ser preparado atempadamente por cada aluno separadamente (incluindo as simulações em ambiente Vivado).
- Uns dias antes das aulas de laboratório, os alunos de cada grupo devem reunir-se, conferir as suas respostas, comparar as simulações pedidas, verificar que os resultados são os esperados e corrigir erros caso necessário.
- As folhas de respostas de casa não serão avaliadas. No entanto, poderá ser necessário mostrar ao docente a preparação de casa durante a aula, sendo indispensável uma preparação cuidada do trabalho. As simulações devem ter sido efetuadas cuidadosamente e os seus valores confirmados com o esperado teoricamente. Caso surjam dúvidas durante a preparação, os alunos devem recorrer aos horários de dúvidas.
- No início da sessão de laboratório, será distribuída a cada grupo uma nova folha de perguntas/respostas relativa a um novo projeto a desenvolver na aula, fortemente relacionado com o de casa (tanto pode ser um projeto novo como uma modificação ao de casa).
- A preparação teórica do novo projeto deve ser executada nos minutos iniciais da aula. **É fundamental que ambos os alunos venham devidamente preparados para executar esta preparação com rapidez.**
- O restante tempo da aula será dedicado à implementação do novo projeto em ambiente Vivado (incluindo simulação) e ao teste do sistema modificado na placa Basys3 (FPGA).
- Os últimos 10 minutos são reservados à escrita das conclusões, sendo a folha de perguntas/respostas da aula entregue no final da aula.

Como preparação prévia, deve ser feita uma leitura cuidada dos diversos documentos relativos ao ambiente de simulação Vivado disponíveis na página da cadeira.

2. ESPECIFICAÇÕES DO SISTEMA

O sistema de gestão do telefone deve ser dimensionado em torno dos seguintes estados:

1. O **estado de espera**, onde i) pode ser recebida uma chamada de outro número ou ii) pode ser efetuada uma chamada para outro número.
2. Caso seja detetada uma chamada proveniente de outro número, o sistema transita para o **estado a receber chamada** onde espera durante T_1 ciclos de relógio que essa chamada seja atendida. Caso a chamada não seja atendida até ao fim desse intervalo de tempo, o sistema volta ao **estado de espera**.
3. Caso a chamada seja atendida, o sistema vai para o **estado de conversação**. Quando terminar a conversa, o sistema volta ao **estado de espera**.
4. Quando se pretende fazer uma chamada, pressiona-se a tecla de chamar (assume-se que o número de telefone para onde se quer ligar é introduzido num outro circuito e não é considerado aqui). Neste momento, o sistema salta do **estado de espera** para o **estado de marcação**, onde espera durante T_2 ciclos de relógio (o tempo que demora a processar o número pretendido).
5. Ao fim desse tempo (T_2), o sistema vai para o **estado a chamar**, onde espera que o interlocutor atenda a chamada. Caso esta seja atendida, o circuito vai para o **estado de conversação** (ponto 3.). Caso o interlocutor não atenda a chamada ao fim de T_3 ciclos de relógio, o sistema vai para o **estado de espera**, como acontece no ponto 3.
6. Enquanto o sistema está **no estado de conversação**, é possível o utilizador carregar numa tecla de suspensão de chamada (hold), passando o sistema para o **estado de hold**, do qual só sai de volta ao **estado de conversação** depois de se carregar noutra tecla.

Considere, ao longo deste trabalho, que $T_1 = T_3 = 7T$ e $T_2 = 6T$ (T = período do sinal de relógio).

O sistema é constituído por 2 partes: i) uma máquina de estados, que gere os vários estados do sistema, e que interage com ii) um circuito temporizador, constituído por um contador e lógica adicional necessária, e que conta os tempos de espera do **estado a receber chamada** (T_1), do **estado de marcação** (T_2) e do **estado a chamar** (T_3).

Como sinais de entrada externos da máquina de estados são considerados os 3 botões de pressão **DTO**, **ESQ** e **SUP** (correspondentes, respetivamente, e como o nome indica, aos botões da direita, da esquerda e de cima da placa Basys3), com as seguintes funções:

- **DTO** (botão da direita):
 - No **estado de espera**, a sua ativação simula a chegada de uma chamada proveniente de outro número;
 - No **estado a receber chamada**, a sua ativação indica que a chamada foi atendida;
 - No **estado a chamar**, indica que o interlocutor atendeu a chamada;
 - No **estado de conversação**, que a chamada terminou;
 - No **estado de hold**, permite voltar ao estado de conversação.
- **ESQ** (botão da esquerda):
 - No **estado de espera**, a sua ativação corresponde à tecla de chamar, que leva o sistema ao **estado de marcação**;
 - No **estado de conversação**, faz o sistema passar para o **estado de hold**.

- **SUP** (botão de cima):
 - Sinal de Reset, que coloca o sistema no **estado de espera**, independentemente do estado em que se encontra. Este sinal é apenas usado na inicialização do circuito e por isso **não deve ser considerado como uma entrada formal do diagrama de estados/fluxograma**.

A máquina de estados tem ainda como entrada adicional o sinal de timeout (**TOUT**) proveniente do circuito temporizador que indica que acabaram de contar os tempos correspondentes ao **estado a receber chamada** (T_1), ao **estado de marcação** (T_2) e ao **estado a chamar** (T_3).

A saída da máquina de estados (**state_ME**) consiste apenas na indicação do estado em que a máquina se encontra (que será ligado a um display de 7 segmentos da placa Basys3). Este estado será também uma das entradas do circuito temporizador (juntamente com os sinais de clock, e o reset acionado pelo botão **SUP**).

O circuito temporizador tem duas saídas, o sinal **TEMP** de 4 bits, correspondente ao estado do contador (ou seja, o tempo de contagem, que deverá ser ligado a outro display de 7 segmentos da placa Basys3) e o sinal de *timeout* **TOUT** que entra na máquina de estados.

3. PROJETO DO GESTOR DE TELEFONE (SÓ LABORATÓRIO 4)

Projete o circuito gestor do telefone utilizando uma **máquina de Moore**, de forma a cumprir as especificações referidas no ponto anterior. Deverão ser utilizados Flip-Flops (FFs) do tipo D para a implementação da máquina de estados, que deve ser desenvolvida utilizando uma configuração **one-hot** (i.e., com um flip-flop por estado).

Na implementação em VHDL, a máquina de estados e o circuito temporizador deverão ser descritos no ficheiro **phone_mgr.vhd** disponível na página da cadeira, juntamente com outros ficheiros necessários. Este ficheiro já está parcialmente preenchido (incluindo “*components*”, “*portmaps*” e declarações de todos os sinais indispensáveis), sendo apenas necessário escrever as equações relativas aos estados **one-hot** e ao circuito temporizador, como indicado nas secções com a indicação “A MODIFICAR”.

Tendo em conta que a máquina de estados tem uma estrutura **one-hot**, a representação do respetivo estado **state_ME** – saída da máquina de estados – foi descrita utilizando um número de bits superior ao necessário, devendo ser usados apenas os estados necessários, começando pelo mais baixo, sendo que **todos os outros estados não utilizados devem ser colocados a zero** (estão já pré-definidos os 7 estados mais baixos). Note que no início de qualquer **simulação** o sistema deve ser colocado no estado inicial (através do sinal **SUP**).

O circuito temporizador deverá ser baseado num contador de 4 bits, cujas entradas e saídas estão definidas no respetivo “*portmap*”.

Responda às perguntas da folha de respostas, nomeadamente:

- Apresente o diagrama de estados da máquina de estados, indicando o valor de todas as variáveis de entrada e saída, bem como uma tabela explicativa da codificação de estados. Tenha em consideração todas as hipóteses possíveis para os sinais de entrada.

Notas importantes:

- i. nos estados de espera e de conversação, se os botões DTO e ESQ forem pressionados simultaneamente, o sistema deve permanecer no mesmo estado (esta indicação é válida apenas para o laboratório 4);
 - ii. deve haver especial cuidado de forma a evitar que o sistema salte para estados indesejáveis ou impossíveis (ou seja, deve-se verificar que todas as codificações possíveis estão contempladas no diagrama de estados).
- Determine, justificando, o valor das entradas dos FFs em função dos estados anteriores e das entradas (considere apenas as entradas **ESQ** e **DTO**, e **TOUT**). A entrada **SUP** apenas é considerada para colocar a máquina de estados no estado inicial (**estado de espera**) e fazer o *reset* do temporizador, e não deve ser considerada como entrada do diagrama de estados.
 - Apresente uma breve descrição do circuito temporizador. **Tenha em atenção o seguinte funcionamento exigido para o circuito temporizador:**
 - Nos estados em que o contador não está ativo, o sinal TEMP deve estar sempre a zero.
 - Nos estados em que o contador está ativo, os ciclos de relógio devem ser contados entre 1 e T, indicados na saída TEMP (caso não consiga, pode fazer a contagem entre 0 e T-1, embora a avaliação seja sujeita a alguma penalização na nota).
 - Complete os logigramas do circuito temporizador e da máquina de estados apresentados na folha de respostas, considerando a utilização de contadores de 4 bits com entrada de clock enable (ce) e FFs tipo D.
 - Abra o projeto disponível na página da cadeira no ficheiro “lab4.zip”, que inclui os ficheiros **ctr_16.vhd** (que corresponde ao contador de 4 bits) e o ficheiro principal **phone_mgr.vhd** que deve ser modificado.

Nota: não deve modificar nem o nome do ficheiro **phone_mgr.vhd**, nem os nomes das variáveis de entrada e saída, pois estão definidos de forma a serem compatíveis com o ficheiro **sd.vhd** que estabelece as ligações com a placa Basys3 (também já incluído no projeto). Os alunos deverão completar o ficheiro **phone_mgr.vhd** adicionando sinais internos se necessário, descrevendo toda a lógica adicional necessária à máquina de estados e ao circuito temporizador.

- Execute a simulação do projeto usando o ficheiro de testbench **tb_phone_mgr.vhd** disponível, que ilustra todas as situações de interesse. Verifique que o circuito funciona de acordo com o esperado no diagrama de estados. **Nota importante: deve editar o ficheiro tb_phone_mgr.vhd antes de o correr, e modificar o vetor EstadoInit de forma a indicar qual é o estado inicial de espera. Todos os bits de EstadoInit devem estar a zero, menos aquele que indica o estado inicial de espera. Por exemplo, se o estado inicial de espera estiver codificado como 3, então EstadoInit = "00000000" & "0001000".**

Tome nota: durante a aula de laboratório, será pedido para efetuar um novo circuito ou modificação ao circuito inicial em VHDL, cujo funcionamento deverá ser confirmado por simulação e/ou implementação na placa pelo docente. Para tal, tenha em conta as notas apresentadas na secção 5 deste enunciado (IMPLEMENTAÇÃO NA PLACA DE DESENVOLVIMENTO).

4. PROJETO DO GESTOR DE TELEFONE (SÓ LABORATÓRIO 5)

Projete o mesmo gestor de telefone descrito na secção 2, utilizando igualmente uma **máquina de Moore**, de forma a cumprir as especificações pedidas. Utilize agora uma estratégia de microprogramação implícita, baseada num contador de 4 bits para a implementação da máquina de estados, de acordo com o esquema da figura 1:

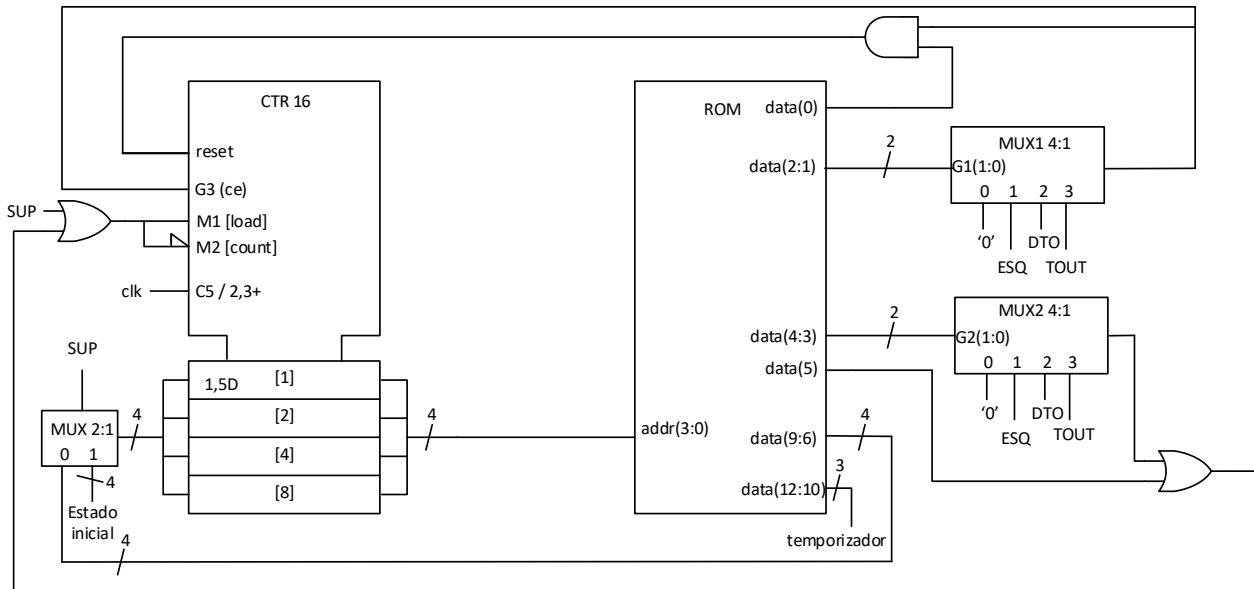


Figura 1

Na implementação em VHDL, a máquina de estados e o circuito temporizador estão parcialmente descritos no ficheiro **phone_mgr.vhd** disponível na página da cadeira (cada grupo deverá completar a descrição do circuito temporizador, embora a estrutura principal da máquina de estados já esteja feita), juntamente com outros ficheiros necessários. A descrição da ROM está disponível no ficheiro **my_mem.vhd**, também fornecido, devendo o seu conteúdo ser dimensionado por cada grupo durante a preparação do laboratório. As instruções para preenchimento do ficheiro **my_mem.vhd** estão disponíveis em comentário dentro do próprio ficheiro.

Notas relativas ao funcionamento da máquina de estados microprogramada:

- Tome como estado inicial (contador a zero, endereço “0000” da ROM) o **estado de espera**. A máquina de estados é inicializada fazendo “load” do estado inicial (que se assume para já ser “0000”) na entrada paralelo do contador quando SUP = 1. Em funcionamento normal (SUP = 0) a ativação do “load” do contador e os respetivos bits de entrada paralela são determinados pela ROM.
- O bit data(0) da ROM permite ativar (em conjunto com a saída do MUX1) o reset do contador, permitindo assim que o estado seguinte seja o estado “0000”.
- Os bits da ROM data(2:1) correspondentes à saída do MUX1 permitem ativar ou desativar o “counter enable” do contador.
- Os bits da ROM data(4:3), correspondentes ao MUX2 da ROM e o bit data(5) permitem activar o sinal “load/not(count)” do contador (quando SUP = 0).
- Para que sejam efetuados os testes indicados na figura 2, a linha da ROM correspondente ao endereço “0000” deverá ter
 - data(9:6) = “0100” (quando LOAD está ativo, carrega o estado 4);
 - data(5) = ‘0’ (não força o LOAD a ‘1’)
 - data(4:3) = “01” (ativa o LOAD quando ESQ = 1, passando para o estado “0100”)

- data(2:1) = "10" (ativa o COUNT quando ESQ = 0 e DTO = 1 passando para o estado 1, e o DISABLE quando ESQ = 0 e DTO = 0, mantendo-se no estado 0).
- data(0) = '0' (não força o "reset" do contador)
- Note-se que neste caso, se forem pressionados os botões ESQ e DTO simultaneamente, o estado passa para o estado de marcação, ao contrário do que acontecia no projeto do laboratório 4 em que o estado se devia manter inalterado.
- O bit data(12) indica se nesse estado o circuito temporizador está a contar ou não. Assim, no estado "0000" data(12) = 0 (temporizador inativo).
- Os bits data(11:10) indicam qual o tempo **TOUT** que o circuito temporizador deve contar quando está ativo, **TOUT** é a saída de um MUX, cujas entradas são os vários tempos possíveis de forma a cobrir todas as situações relevantes da máquina de estados. Assim, o circuito temporizador deve contar:
 - T_1 instantes de clock quando data(11:10) = "00" (**estado a receber chamada**)
 - T_2 instantes de clock quando data(11:10) = "01" (**estado de marcação**)
 - T_3 instantes de clock quando data(11:10) = "10" (**estado a chamar**)
 - '0' instantes de clock quando data(11:10) = "11" (quando o circuito temporizador está inativo, por segurança). Este é, por exemplo, o valor a ter em conta na 1ª linha da ROM correspondente ao estado "0000".

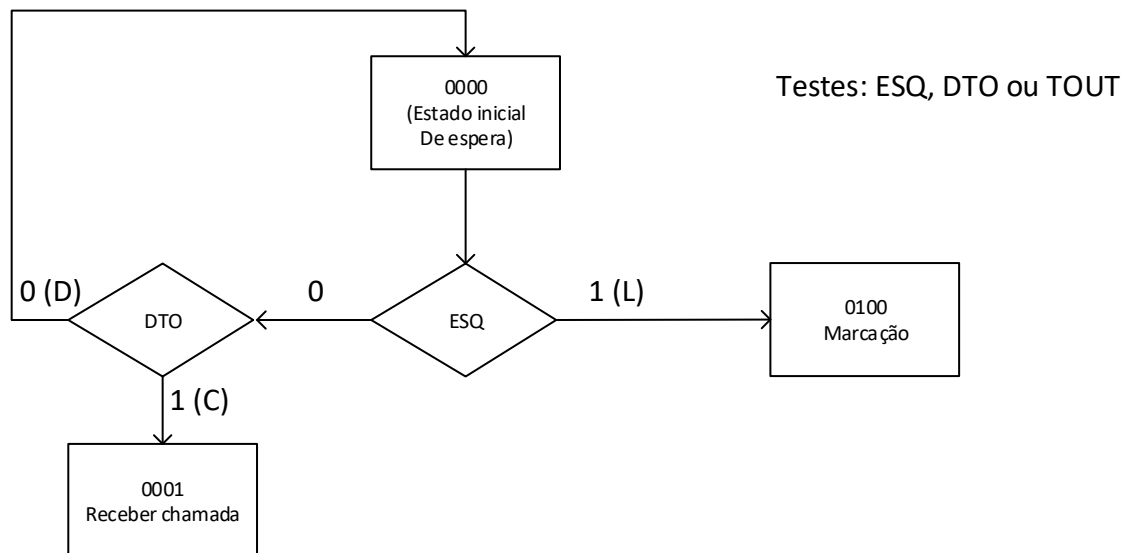


Figura 2

Responda às perguntas da folha de respostas, nomeadamente:

- Complete o fluxograma da máquina de estados fornecido na folha de respostas de casa, mantendo a mesma notação da figura 2 em cada teste, estado e ramo, indicando:
 - i. O número e descrição do estado (dentro dos blocos de estado)
 - ii. A variável testada e o MUX correspondente (dentro dos blocos de teste)
 - iii. O valor de teste de cada ramo e a indicação DISABLE (D), COUNT (C) ou LOAD (L).
 Pode adicionalmente fazer um diagrama de estados e/ou uma tabela de transição de estados se o ajudar a fazer o fluxograma.

Nota importante: deve haver especial cuidado de forma a evitar que o sistema salte para estados indesejáveis ou impossíveis (ou seja, deve-se verificar se todas as codificações possíveis estão contempladas em cada teste do fluxograma).

- Preencha a tabela fornecida na folha de respostas de casa com o conteúdo da ROM, tendo em conta o fluxograma anterior e a estrutura da máquina de estados. Use apenas as linhas que precisar.
- Indique como são calculados os valores das variáveis T_1 , T_2 e T_3 em função da saída do contador do circuito temporizador **Q_temp** de 4 bits.
- Complete o circuito projetado em VHDL, abrindo o projeto fornecido na página da cadeira em "lab5.zip" e que inclui os ficheiros **ctr_16.vhd** e **ff_de.vhd** (contador de 4 bits e FFs tipo D), bem como o ficheiro principal **phone_mgr.vhd** e a descrição da ROM no ficheiro **my_mem.vhd**. Apenas devem ser modificados os ficheiros **phone_mgr.vhd** (só para determinação dos tempos T_1 , T_2 e T_3 onde indicado no ficheiro) e **my_mem.vhd** (conteúdo da ROM).
- Confirme que o valor de **EstadoInit** é o correto, na linha 52 do ficheiro de simulação (testbench) **tb_code_mgr.vhd** (também disponível no projeto). Execute este ficheiro depois de o definir como módulo de topo e verifique o correto funcionamento do circuito dimensionado.

Tome nota: durante a aula de laboratório, será pedido para dimensionarem um novo circuito, através da modificação do conteúdo da ROM e do circuito temporizador, cujo funcionamento depois deverá ser confirmado por simulação e/ou implementação na placa.

5. IMPLEMENTAÇÃO NA PLACA DE DESENVOLVIMENTO

Nota importante: Antes de iniciar o teste do circuito é **fundamental consultar (em casa)** o **Guia de Implementação de Circuitos na Placa de Desenvolvimento** (Digilent Basys 3), disponível na página da cadeira.



Figura 3. Placa de prototipagem Basys 3.

Para realizar o teste do circuito projetado utilizando a placa de prototipagem (*Digilent Basys 3*, equipada com a FPGA *Artix-7* com referência *XC7A35T-CPG236*, da Xilinx – ver Figura 3, foi disponibilizado um conjunto de ficheiros na pasta **placa** (veja no guia da placa a descrição dos componentes), que deverá utilizar nesta parte do trabalho:

- **sd.vhd** – descrição do circuito principal (da placa)
- **Basys3_Master.xdc** – configuração dos portos (da placa)
- **clkdiv.vhd** – divisor de frequência (especificação)
- **disp7.vhd** – bloco do controlo do display de 7 segmentos (especificação).

Não modifique os nomes destes ficheiros!

- 1) Na aula será disponibilizado um projeto Vivado com todos os ficheiros completos, menos o ficheiro **phone_mgr.vhd**, que deverá ser completado por cada grupo de acordo com o novo dimensionamento a efetuar no início da aula, mas sem modificar os nomes das entradas e saídas definidos por defeito.
- 2) Na folha de respostas da aula, cada grupo deve apresentar, detalhadamente, o dimensionamento do novo projeto de forma clara e que evite erros na passagem para a descrição VHDL do circuito projetado.
- 3) Verifique se o ficheiro **sd.vhd** está definido como módulo de topo (faça clique direito no ficheiro e selecione a opção "Set as Top"). Verifique também se a hierarquia do projeto inclui os componentes `clkdiv`, `disp7` e `Basys3_Master.xdc`.
- 4) As seguintes ligações foram estabelecidas de forma a possibilitar a correta interação do utilizador com o circuito:
 - a. O sinal de relógio **clk** está ligado ao sinal **clk_slow** (este sinal tem uma frequência fixa de 1,5 Hz);
 - b. A entrada **SUP** está ligada ao buffer do botão de pressão **BTN(0)**, i.e., o botão superior;
 - c. O sinal de entrada **ESQ** está ligado ao buffer do botão de pressão **BTN(1)**, i.e., o botão esquerdo;
 - d. O sinal de entrada **DTO** está ligado ao buffer do botão de pressão **BTN(2)**, i.e., o botão direito;
 - e. No laboratório 4, o **EstadoInit** está ligado aos 16 switches da placa (apenas um deles deve estar a 1). No laboratório 5, o **EstadoInit** está ligado aos switches SW(3:0) (os que estão mais à direita da placa).
 - f. O estado da máquina de estados **state_ME** é apresentado no dígito 4 do display de 7 segmentos em formato hexadecimal, i.e., **disp4**;
 - g. A saída do temporizador **TEMP** é apresentada no dígito 1 do display de 7 segmentos em formato hexadecimal, **disp1**.
- 5) Implemente o circuito na placa de desenvolvimento. Para tal, siga as instruções disponibilizadas no "**Guia de Implementação de Circuitos na Placa de Desenvolvimento**". Note que o interruptor ON/OFF da placa deve estar na posição ON.
Nota: durante a síntese do circuito, a ferramenta poderá indicar um conjunto de avisos (*warnings*) e erros. Os erros deverão ser **todos** corrigidos; os *warnings* podem, em geral, ser ignorados, sendo que alguns são originados pelo facto de ter entradas/saídas no ar.
- 6) Verifique o correto funcionamento do circuito. Mostre-o ao docente. Comente os resultados obtidos na folha de respostas.