



Conversor CC-CC redutor *quasi-square wave* em tecnologia CMOS

Paulo César Paixão Pereira

Dissertação para obtenção do Grau de Mestre em
Engenharia Eletrotécnica e de Computadores

Orientador(es): Prof. Maria Beatriz Mendes Batalha Vieira Vieira Borges
Prof. Pedro Nuno Mendonça dos Santos

Júri

Presidente: Prof. Gonçalo Nuno Gomes Tavares
Orientador: Prof. Maria Beatriz Mendes Batalha Vieira Vieira Borges
Vogal: Prof. Vitor Manuel da Silva Costa

Novembro 2016

Agradecimentos

Quero começar por agradecer aos meus orientadores, Prof. Beatriz Borges e Prof. Pedro Santos, pela constante disponibilidade na orientação para a realização desta dissertação, tendo sido ambos apoios fundamentais no mesmo.

Agradeço à Academia Militar e ao Instituto Superior Técnico pelas bases fornecidas que se mostraram fulcrais na realização da dissertação. Agradeço também ao Instituto de Telecomunicações pelos meios e instalações disponibilizadas ao longo destes meses.

Uma palavra de apreço ao Prof. João Vaz que em diversas situações se mostrou disponível em ajudar na resolução de problemas com a utilização da ferramenta *Cadence*.

De referir também o apoio demonstrado pelos Diretores de Curso na Academia Militar ao longo deste longo percurso, Coronel Pereira da Silva, Tenente Coronel Martins e Major Chambel.

Agradeço aos meus camaradas de Serviço de Material, de Transmissões e de Engenharia Militar, também eles foram uma base ao longo destes anos na Academia Militar onde só com o apoio de todos se conseguem ultrapassar os obstáculos mais difíceis. Em particular, referir o apoio do camarada Luís Fontela que trabalhou paralelamente comigo durante a realização das nossas dissertações de mestrado.

Gostaria ainda de agradecer aos meus pais e irmã por todo o incentivo que me deram sempre ao longo da vida para a realização de todos os meus objetivos.

Por último mas não menos importante, um agradecimento especial à minha namorada, Mariana. Agradeço-lhe por toda a paciência que teve nestes últimos meses, em que na maioria das vezes, o trabalho foi colocado em primeiro plano. Agradecer-lhe toda a força que me transmitiu para a realização da dissertação, e ainda pela ajuda constante na escrita.

Resumo

Hoje em dia, os dispositivos eletrônicos portáteis representam um grande volume de consumo na nossa sociedade. Estes equipamentos requerem conversores Corrente Contínua-Corrente Contínua (CC-CC) de baixa tensão e elevada eficiência, por forma a maximizar o tempo que podem operar com uma única carga da bateria. Para diminuir o seu tamanho e peso, é essencial a diminuição do tamanho dos módulos de alimentação. Como resultado, o grande foco atualmente, é a implementação de conversores de alta frequência e baixo consumo.

O trabalho é assim direcionado para o estudo do conversor CC-CC *Quasi-Square Wave* (QSW), por forma a entender o seu funcionamento e suas características. Para tal, será feita uma breve comparação entre o conversor estudado e outros, que apresentem características semelhantes.

A partir deste estudo, o objetivo do trabalho é o projeto de um conversor QSW-*Zero Voltage Switching* (comutação em zero de tensão) (ZVS) em tecnologia *Complementary Metal-Oxide-Semiconductor* (CMOS) de 130nm para operar em alta frequência (na ordem das centenas de MHz). Este projeto será posteriormente validado em ambiente *Electronic Design Automation* (Automação de Projeto Eletrónico) (EDA) com simulação de *corners* (simulação de situações extremas).

Com o circuito ainda em fase de esquema é feita a comparação com um conversor de comutação abrupta nas mesmas condições. Nesta comparação verifica-se que o conversor implementado, de comutação suave, apresenta uma melhoria no rendimento de cerca de 7%.

Por fim, o conversor projetado para converter uma tensão de 2,4 para 1,2V, com uma carga de 50Ω na saída apresenta um rendimento de 72,84% em esquema, 76,28% no circuito extraído da planta (por ter apresentado uma baixa significativa na frequência de comutação) e 73,68% no circuito extraído com a frequência corrigida. A sua planta apresenta uma área de implementação de $0,3401\text{mm}^2$.

Palavras-chave: quasi-square-wave, CMOS, conversor CC-CC, alta frequência, baixa tensão, EDA.

Abstract

Nowadays, portable electronic devices represent a large volume of consumption in our society. These devices require Direct Current-Direct Current (DC-DC) converters with low voltage and high efficiency, in order to maximize the time that these can operate with a single battery charge. To reduce its size and weight, it is essential to decrease the size of the power modules. As a result, the main focus currently is the implementation of integrated high-frequency and low-power converters.

This work is directed to the study of QSW DC-DC converter in order to understand its operation and features. To this end, a brief comparison between the studied converter and other topologies, with similar characteristics, will be made.

Given this study, the objective of this work is the design of a QSW-ZVS converter in a $130nm$ CMOS process to operate at high frequency (in the order of hundreds of MHz). Afterwards, this project will be validated in EDA environment with corners simulation (simulation in extreme situations).

With the circuit in its schematic phase, a comparison is made with an abrupt switching converter, under the same conditions. During this comparison it is checked that the implemented circuit, of soft switching, shows an improvement of about 7%, in efficiency.

Finally, the converter designed to convert a voltage of 2.4 to 1.2V, with an output load of 50Ω , presents an efficiency of 72.84% in the schematic, 76.28% in the extracted circuit by layout (as it presents a significant drop in switching frequency) and 73.68% in the extracted circuit with correct frequency. Its layout has an implementation area of $0.3401mm^2$.

Keywords: quasi-square-wave, CMOS, DC-DC converter, high frequency, low voltage, EDA.

Conteúdo

Agradecimentos	iii
Resumo	v
Abstract	vii
Lista de Tabelas	xi
Lista de Figuras	xiii
Siglas	xv
1 Introdução	1
1.1 Objetivos	1
1.2 Motivação	1
1.3 Estado da Arte	2
1.4 Organização do Documento	4
2 Enquadramento Teórico	7
2.1 Conversor CC-CC	7
2.2 Conversor QSW-ZVS	11
2.3 Conversor QSW-ZVS em CMOS 350 nm	14
2.4 Tecnologia CMOS	16
2.5 Conclusões	17
3 Projeto do Conversor QSW-ZVS	19
3.1 Projeto do conversor	19
3.2 Controlo	22
3.2.1 Controlo ideal para QSW-ZVS	22
3.2.2 Controlo implementado para QSW-ZVS	23
3.3 Conclusões	24
4 Concretização em tecnologia CMOS	25
4.1 Circuito de potência	25
4.1.1 Transístores de comutação e condensador	25
4.1.2 Cadeias de inversores de comando dos transístores de potência	27
4.2 Elementos constituintes do circuito de controlo	29

4.2.1	Tensão de referência - <i>bandgap</i>	31
4.2.2	Gerador de onda em dente de serra	34
4.2.3	Amplificador Operacional de Transcondutância	35
4.2.4	Comparador rápido	36
4.2.5	Fonte de correntes de referência	38
4.3	Conclusões	39
5	Resultados e Planta do Circuito	41
5.1	Resultados em esquema elétrico	41
5.1.1	Circuito sem acesso ao exterior	41
5.1.2	Circuito com acesso para exterior	43
5.1.3	Exposição do circuito a condições extremas - <i>corners</i>	45
5.1.4	Variação da carga de saída	47
5.1.5	Variação da tensão de alimentação	48
5.1.6	Conversor de comutação abrupta	49
5.2	Planta do Circuito	50
5.3	Resultados do circuito extraído do conversor QSW-ZVS	50
5.4	Conclusões	54
6	Conclusões	55
6.1	Contribuições	55
6.2	Trabalho Futuro	56
	Bibliografia	57
A	Planta por blocos	A.1

Lista de Tabelas

1.1	Publicações analisadas acerca de conversores redutores CC-CC.	3
4.1	Dimensionamento da cadeia de inversores de comando do transístor de potência NMOS.	27
4.2	Dimensionamento da cadeia de inversores de comando do transístor de potência PMOS.	28
5.1	Consumo detalhado do conversor.	42
5.2	Consumo detalhado do conversor com acesso exterior.	44
5.3	Consumo detalhado do conversor em comutação abrupta.	50

Lista de Figuras

2.1	Secções do conversor CC-CC	7
2.2	Conversor CC-CC com filtro e díodo	8
2.3	Conversor CC-CC com filtro	8
2.4	Conversor CC-CC de comutação abrupta.	9
2.5	Diagramas de funcionamento do conversor CC-CC de comutação abrupta.	9
2.6	Corrente na bobina em regime permanente	10
2.7	Conversor QSW-ZVS	11
2.8	Fases de funcionamento do conversor QSW-ZVS.	12
2.9	Diagramas de funcionamento do conversor redutor QSW-ZVS	12
2.10	Frequência de comutação normalizada em função de M para vários valores de Q	15
2.11	Perfil de poços disponíveis.	17
3.1	Relação de correntes I_M/I_L em função do fator de qualidade Q , para uma relação de conversão fixa de $M = 0,5$	20
3.2	Conversor QSW-ZVS com elementos ideais.	20
3.3	Diagramas temporais das grandezas elétricas do QSW com elementos ideais	21
3.4	Esquema de controlo ideal para QSW-ZVS.	23
3.5	Esquema de controlo PWM	23
4.1	Resistência de condução e capacidade parasita do transístor NMOS em função W_N	26
4.2	Perdas no bloco de potência para várias dimensões de W_P/W_N	26
4.3	Esquema eléctrico do circuito de potência	27
4.4	Cadeia de inversores de comando do transístor de potência NMOS	28
4.5	Cadeia de inversores de comando do transístor de potência PMOS	28
4.6	Ondas de comando dos transístores de potência	29
4.7	Esquema eléctrico do controlo utilizado no circuito	30
4.8	Diagramas correspondentes ao circuito de controlo implementado	31
4.9	Esquema genérico do <i>bandgap</i> utilizado [18]	32
4.10	Esquema eléctrico do <i>bandgap</i> implementado	32
4.11	Tensão de referência fornecida pelo <i>bandgap</i> em função da tensão de entrada	33
4.12	Tensão de referência fornecida pelo <i>bandgap</i> em função da temperatura	33

4.13	Esquema do gerador de onda dente de serra	34
4.14	Esquema elétrico do gerador de onda dente de serra	34
4.15	Ondas correspondentes ao funcionamento do gerador de onda dente de serra	35
4.16	Esquema elétrico do Amplificador Operacional de Transcondutância	35
4.17	Diagramas de ganho do amplificador em malha aberta	36
4.18	Esquema elétrico do Comparador Rápido	37
4.19	Tensão de <i>offset</i> do Comparador Rápido	37
4.20	Resposta em frequência do Comparador Rápido	37
4.21	Tempo de resposta do comparador a um escalão	38
4.22	Esquema elétrico do gerador de correntes de referência	39
4.23	Corrente de referência em função da temperatura	39
5.1	Esquema elétrico para teste do conversor a funcionar sem elementos ideais	42
5.2	Resultados da simulação do conversor: Diagramas temporais e grandezas elétricas	43
5.3	Esquema do conversor QSW-ZVS usado para teste com impedâncias	44
5.4	Resultados da simulação do conversor com impedâncias de acesso ao exterior	45
5.5	Tensão de saída do conversor para os nove <i>corners</i>	46
5.6	Tensão de saída do conversor para os nove <i>corners</i> em regime permanente	46
5.7	Rendimento do conversor em função da resistência de saída	47
5.8	Variação da tensão de saída do conversor em resposta a uma alteração brusca na carga	47
5.9	Resposta do conversor ao escalão na entrada	48
5.10	Tensão de saída em função da tensão de entrada	48
5.11	Resultados do conversor a funcionar em comutação abrupta	49
5.12	Planta do conversor	51
5.13	Resultados do circuito extraído da planta	51
5.14	Resultados do circuito extraído da planta com a frequência reajustada	52
5.15	Resultados da simulação de <i>corners</i> do circuito extraído da planta	53
5.16	Resultados da simulação de <i>corners</i> do circuito extraído da planta em regime permanente	53
A.1	Planta do circuito <i>bandgap</i>	A.1
A.2	Planta do Amplificador Operacional de Transcontutância	A.2
A.3	Planta do comparador rápido	A.3
A.4	Planta do gerador de onda em dente de serra	A.4
A.5	Planta da fonte de correntes de referência	A.5
A.6	Planta do bloco de potência	A.6
A.7	Planta do circuito total	A.7

Siglas

CC-CC	Corrente Contínua-Corrente Contínua
CDE	<i>Cadence Design Environment</i> (Ambiente de Projeto em <i>Cadence</i>)
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
CTAT	<i>Complementary To Absolute Temperature</i> (Complementar à temperatura Absoluta)
DC-DC	Direct Current-Direct Current
EDA	<i>Electronic Design Automation</i> (Automação de Projeto Eletrónico)
FDK	<i>Foundry Design Kit</i>
MCC	Modo de Condução Contínua
MCD	Modo de Condução Descontínua
MIM	<i>Metal-Insulator-Metal</i>
MOM	<i>Metal-Oxide-Metal</i>
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
NMOS	<i>N-type Metal-Oxide-Semiconductor</i>
OTA	<i>Operational Transconductance Amplifier</i> (Amplificador Operacional de Transcondutância)
PMOS	<i>P-type Metal-Oxide-Semiconductor</i>

PTAT	<i>Proportional To Absolute Temperature</i> (Proporcional à temperatura Absoluta)
PWM	<i>Pulse Width Modulation</i> (modulação de largura de impulso)
QR	<i>Quasi-Resonant</i>
QSW	<i>Quasi-Square Wave</i>
RF	<i>Radio Frequency</i> (Frequência Radio)
STI	<i>Shallow Trench Isolation</i>
ZCS	<i>Zero Current Switching</i> (comutação em zero de corrente)
ZVS	<i>Zero Voltage Switching</i> (comutação em zero de tensão)

Capítulo 1

Introdução

Os equipamentos eletrônicos portáteis, nomeadamente *smartphones*, computadores, reprodutores de áudio, *tablets*, entre outros, têm evoluído intensamente e com um crescimento imparável. Estes são, na sua maioria, alimentados por uma bateria que, geralmente, fornece tensões mais elevadas do que as necessárias ao funcionamento do equipamento. Estes equipamentos necessitam de conversores de tensão CC-CC com um alto rendimento de modo a maximizar a autonomia do aparelho [1, 2]. Para diminuir as dimensões e o peso destes equipamentos é essencial diminuir os módulos de alimentação e aumentar os seus rendimentos, bem como dos componentes magnéticos e de filtragem [3].

1.1 Objetivos

Pretende-se estudar e projetar o circuito de um conversor *Buck*, QSW, para integração em tecnologia CMOS de 130nm. O conversor deverá operar a muito alta frequência, da ordem das centenas de MHz, com uma potência de carga na ordem das dezenas de mW. O projeto será apoiado na utilização de ferramenta EDA dedicada ao projeto de circuitos integrados, com conceção do circuito e projeto de máscaras, com verificação de funcionalidade, incluindo *corners*.

1.2 Motivação

A integração monolítica de conversores CC-CC comutados em tecnologia CMOS implica um aumento da frequência, o que por sua vez conduzirá a um aumento das perdas por comutação. No sentido de minimizar essas perdas existem estudos acerca de configurações de conversores que são resultados de modificações aplicadas a conversores de comutação abrupta. Estas modificações consistem na definição de interruptores ressonantes, onde se inclui uma malha ressonante em série ou em paralelo com o dispositivo de comutação, por forma a fazer oscilar as grandezas aos terminais desse dispositivo, a fim de se obter ZVS ou *Zero Current Switching* (comutação em zero de corrente) (ZCS). Sendo que, no caso da tecnologia CMOS, as perdas de entrada em condução são normalmente superiores às perdas de passagem ao corte, pelo que, neste caso é preferível usar ZVS [4].

Neste contexto surgem topologias que derivam dos conversores *Pulse Width Modulation* (modulação de largura de impulso) (PWM), tais como o conversor *Quasi-Resonant* (QR), conversor QR-PWM e o conversor QSW, no qual incidirá este trabalho. O conversor QR resulta da definição de interruptores ressonantes, isto é, na adição de uma bobina e de um condensador ao transistor do conversor PWM. Conforme a configuração adotada dessa malha ressonante poder-se-á proceder à comutação ZVS ou ZCS reduzindo significativamente as perdas por comutação como já descrito, permitindo assim que o circuito trabalhe a uma frequência muito elevada [1]. A introdução destes elementos tem ainda como vantagem o fato de poderem incluir as capacidades parasitas dos transistores e indutâncias do circuito, o que permite aproveitamento de energia e redução do número de elementos [5].

Os conversores projetados para terem um funcionamento ZCS, comutam a tensões diferentes de zero, o que, com o aumento da frequência, resulta em perdas capacitivas por efeito de Miller [6]. Sendo que o objetivo passa pelo aumento de frequência de comutação para integração monolítica, apenas serão considerados os conversores em funcionamento ZVS. O conversor QR-ZVS atinge tensões superiores à tensão de entrada num dos transistores, o que se revela como uma desvantagem, pois poderá ultrapassar a tensão suportada pela tecnologia CMOS utilizada [1].

O conversor QSW-ZVS, tal como já referido, surge também do conversor PWM, mas este passa simplesmente pela adição de um condensador em paralelo com o transistor de comutação. A bobina de ressonância ficaria em paralelo com a bobina de filtragem, sendo assim possível a implementação de uma bobina, de baixo valor de indutância, com ambas as funções [4]. O conversor QSW-ZCS implica uma filtragem adicional de entrada, o que resulta num uso adicional de componentes [7]. Este conversor revela ainda o mesmo inconveniente do QR-ZCS, uma vez que o aumento da frequência faz aumentar significativamente as perdas por comutação devido à tensão ser diferente de zero na comutação [6].

1.3 Estado da Arte

Com a evolução da integração monolítica de circuitos, tem-se verificado a intenção, face à necessidade, de integrar conversores CC-CC. O conversor QSW-ZVS foi alvo de estudo nas décadas de 80 e 90 [5, 7, 8] sendo pouco estudado nos anos seguintes. Como consequência existem métodos propostos para o dimensionamento do conversor, contudo apenas se aplica à integração monolítica o método proposto em [9].

A tabela 1.1 apresenta um resumo de vários trabalhos realizados no âmbito dos conversores CC-CC integrados ou parcialmente integrados, de comutação a alta frequência. Esta tabela é constituída por um conjunto de parâmetros fundamentais, entre os quais as tensões de alimentação e de saída, potência na saída, rendimento máximo, frequência de comutação, dimensões do filtro de saída, área ocupada e nível de integração, para a caracterização de cada conversor, bem como para a comparação entre estes.

De entre os diversos conversores referenciados, [4, 10–17], existem alguns de comutação abrupta ([10, 12–15, 17]) e outros de comutação suave ([4, 11, 16]), já que é inevitável a comparação entre os rendimentos de ambos. Ainda assim, torna-se complicado fazer uma comparação direta entre os rendi-

Tabela 1.1: Publicações analisadas acerca de conversores redutores CC-CC.

Referência	[10]	[11]	[12]	[13]	[14]	[15]	[16]	[4]	[17]
Ano	2004	2004	2007	2008	2008	2009	2009	2010	2011
Processo [μm]	CMOS 0,18	CMOS 0,18	CMOS 0,35	CMOS 0,13	CMOS 0,18	CMOS 0,18	CMOS 0,18	CMOS 0,35	CMOS 0,13
V_{in} [V]	1,8	2	3,3	1,2	3,6	3,3	2,2	5	2,6
V_{out} [V]	0,9	1	2,3	0,9	1,8	1,8	1,0	3,3	1,2
P_{out} [mW]	225	200	161	180	300	720	55	100	800
η [%]	88	82	62	52	65	70,4	52	74,3	58
Freq.de Comutação [MHz]	102	5	200	30-300	20-140	180	660	55,7	0,075-225
L [nH]	8,8	470	22	9,8	18	10,5	2,2	249	4*3,9
C [nF]	3	6	1	15,07	10,3	3,6	1,1	0,99	12,17
Área [mm²]	-	1,56	4	3,375	2,25	4	2,5	-	3,76
Potência/área [mW/mm²]	-	128,2	40	53	133	180	20	-	213
Nível de Integração	-	L e C discretos	L e C discretos	Total	L <i>bondwire</i>	Total	Total	-	Total

mentos dos dois tipos de conversores, pois é necessário ter em conta outros fatores como frequência, potência e processo.

Fazendo uma análise mais detalhada, verifica-se que, para uma potência mais elevada, o rendimento sobe. Isto deve-se ao facto de o aumento da potência transferida pelo conversor não implicar um aumento significativo nas perdas, resultando num aumento do rendimento. Esta situação é observável na tabela, em [15], e o oposto em [16], ainda que este tenha uma frequência de comutação mais elevada, o que aumenta significativamente as perdas.

Comparando dois casos idênticos, [11] e [16], a nível de tensões, processo utilizado e comutação suave, verifica-se uma diferença significativa no rendimento. Esta diferença pode ser explicada pela diferença de potência na carga, como já referido, pois as perdas tornam-se menos significativas, e pela diferença de frequência de comutação, isto é, a frequência de comutação mais elevada apresenta maiores perdas.

No âmbito deste trabalho surge a necessidade de comparar a comutação abrupta com a comutação suave. De entre os estudos apresentados na tabela 1.1, sugere-se a comparação entre [11] e [14], pois verifica-se nestes a utilização do mesmo processo, proximidade de potência na carga e nas frequências de comutação. Observando então os rendimentos destes conversores, é possível afirmar que há uma vantagem significativa do conversor *quasi-square wave* de [11] face ao conversor *step-down* de [14].

Para o trabalho a desenvolver é tida em conta a coluna [4], que diz respeito a um conversor QSW-ZVS em tecnologia de $0,35\mu m$. Isto significa que se pretende diminuir o nó tecnológico face a este conversor, e ainda diminuir a tensão de entrada e de saída que por sua vez diminui a potência total do conversor. É de notar ainda, na tabela, a ausência de um segundo condensador no artigo [4], denominado de condensador de ressonância, C_0 , sendo que $C_0=1,28pF$. Também o rendimento apresentado se deve ter em consideração, visto que apenas se refere ao rendimento do bloco de potência do circuito, e não ao circuito total com controlo.

1.4 Organização do Documento

O presente documento encontra-se estruturado em cinco capítulos. Neste primeiro capítulo são expostos os objetivos definidos para o trabalho, bem como a sua motivação. Adicionalmente apresenta-se um breve estudo que inclui projetos no mesmo âmbito, o que constitui o estado da arte.

O segundo capítulo, faz uma análise teórica, onde são introduzidos os conversores CC-CC. O estudo inicia-se pelo conversor *buck* na sua configuração mais básica, passando depois para o QSW. Ainda neste capítulo é apresentado um método de projeto de QSW e, por fim, é abordada a tecnologia CMOS utilizada neste trabalho.

No capítulo 3 é projetado, de uma forma teórica, o circuito do conversor e realizada a respetiva simulação com elementos ideais. São também propostas duas formas de controlo para o circuito e um estudo das suas vantagens e desvantagens.

O quarto capítulo consiste na apresentação de cada um dos blocos constituintes do circuito completo e da sua caracterização.

Relativamente ao capítulo 5, são expostos os resultados das simulações, onde se indicam os aspetos mais relevantes do funcionamento do conversor QSW, bem como a interpretação das grandezas elétricas do circuito. O capítulo 5 termina com a apresentação da planta do circuito completo e respetiva simulação.

Finalmente, no capítulo 6, apresentam-se as conclusões do trabalho desenvolvido, e propõe-se ainda ideias para trabalho futuro.

Capítulo 2

Enquadramento Teórico

Para o projeto de um conversor CC-CC redutor QSW-ZVS em tecnologia CMOS será necessária a compreensão de alguns conceitos de Eletrónica de Potência mais básicos, tal como o funcionamento do conversor CC-CC redutor de comutação abrupta. Assim faz-se uma breve descrição deste conversor CC-CC de topologia mais simples, para que posteriormente se possa compreender melhor o funcionamento do conversor de comutação suave, QSW. Após a apresentação do funcionamento do conversor QSW, será também apresentado um método de projeto do mesmo desenvolvido em [4]. Ainda neste capítulo será abordada a tecnologia CMOS que será utilizada na implementação do circuito.

2.1 Conversor CC-CC

Os conversores CC-CC podem ser constituídos por vários blocos, tal como representado na figura 2.1 [4]. O conversor poderá ser constituído pelo conjunto de todos os blocos, o que corresponde a um circuito mais complexo, ou conter apenas alguns destes. Nos casos mais simples é usual encontrar-se conversores sem o filtro de entrada e com um filtro de saída bastante simplificado, com apenas um condensador, como é o caso da figura 2.2.

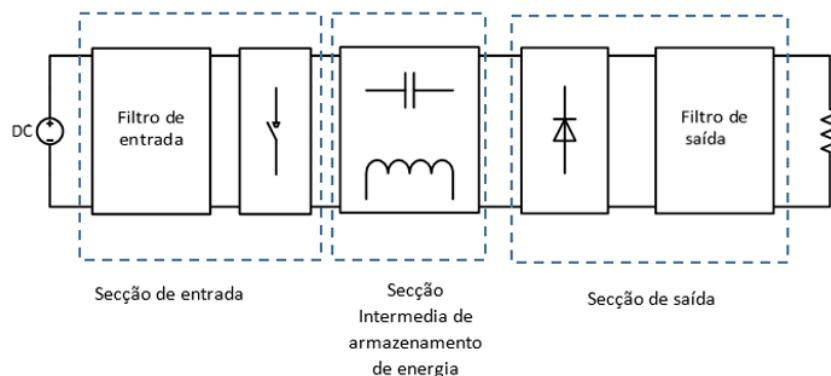


Figura 2.1: Secções do Conversor CC-CC.

No conversor redutor de comutação abrupta da figura 2.2, o interruptor $M1$ abre e fecha a uma

frequência f , com um período $T = 1/f$. O tempo que o interruptor permanece fechado é denominado por fator de ciclo, D , e é determinante na tensão de saída média, V_O , em função da tensão de entrada, V_I . As dimensões de L e C são determinantes na variação da tensão de saída, ΔV_O , que diminui com o aumento dos mesmos.

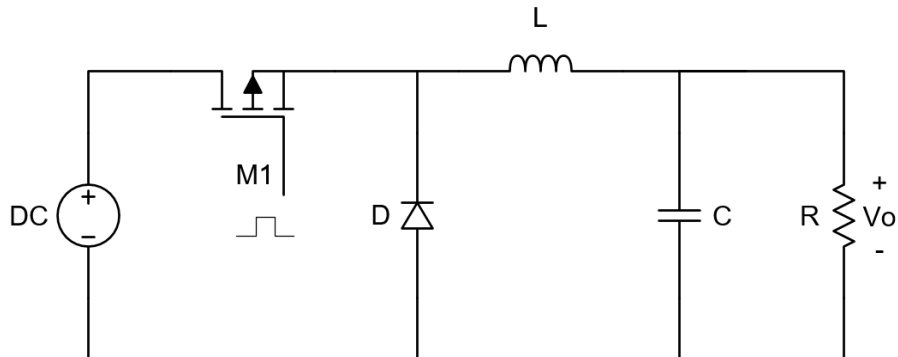


Figura 2.2: Conversor CC-CC com filtro e diodo.

Para integração em tecnologia CMOS, o diodo é geralmente substituído por um transistor Metal-Oxide-Semiconductor Field Effect Transistor (MOSFET), pois este diminui as perdas em relação ao diodo, dando assim origem ao circuito da figura 2.3. Os transistores MOSFET executam a função que mais se assemelha a um interruptor ideal, porém com perdas. As perdas estão inerentes à sua resistência de condução, R_{ON} , que por sua vez está associada à dimensão do canal do transistor.

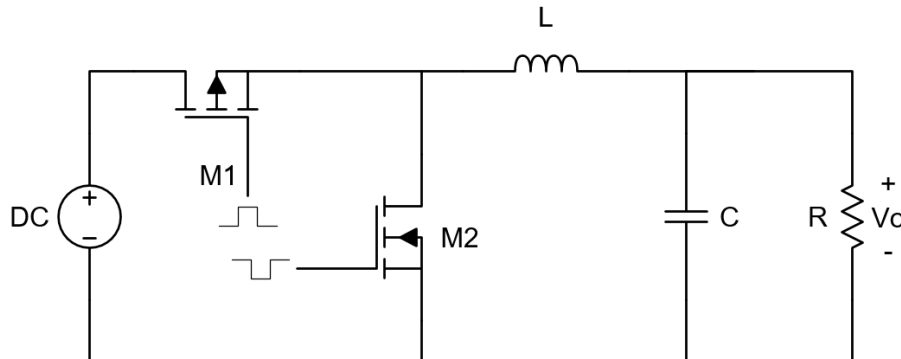


Figura 2.3: Conversor CC-CC com filtro.

No circuito apresentado na figura 2.3 podem-se considerar dois modos de funcionamento definidos pela corrente da bobina, sendo estes, o Modo de Condução Contínua (MCC) e o Modo de Condução Descontínua (MCD). No primeiro, a corrente na bobina nunca se anula ao longo do período, podendo ser consideradas duas fases num período, definidas pela comutação do interruptor (diagramas da figura 2.5(a)). No segundo modo de funcionamento, a corrente na bobina anula-se permanecendo nula durante parte do período de operação, acrescentando assim, uma fase ao funcionamento do circuito (diagramas da figura 2.5(b)). Para análise do circuito consideram-se os MOSFET como interruptores ideais sem perdas.

Como já referido, no MCC apenas se verificam duas fases, representadas na figura 2.4(a) e 2.4(b). Na figura 2.4(a) o transistor M1 está a conduzir e M2 está ao corte, correspondendo a $t_0 < t < t_1$, em

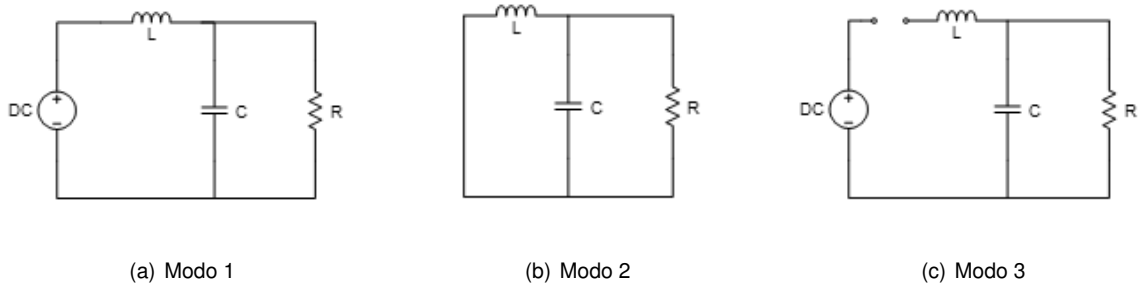


Figura 2.4: Conversor CC-CC de comutação abrupta.

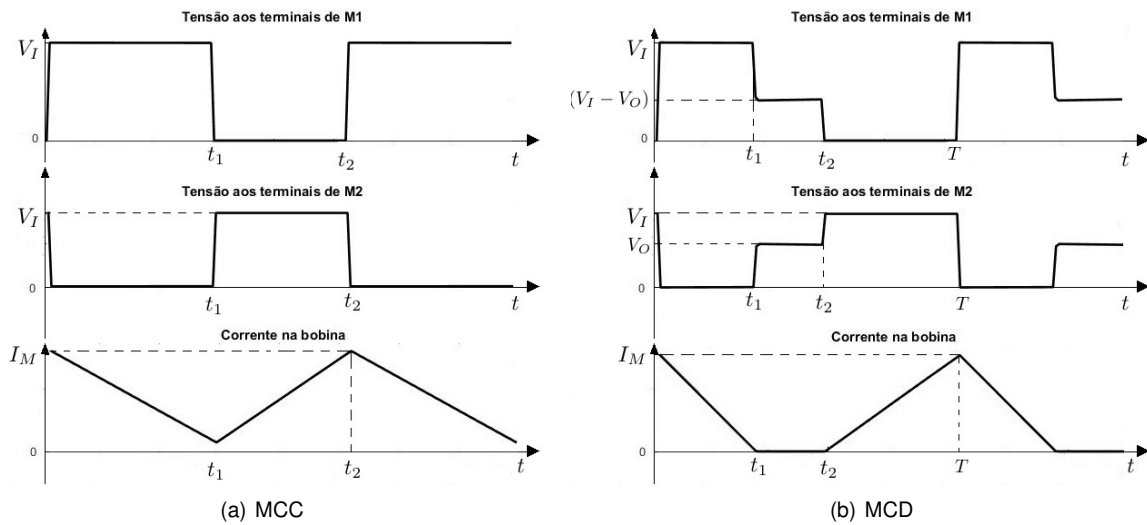


Figura 2.5: Diagramas de funcionamento do conversor CC-CC de comutação abrupta.

que t_0 é o instante em que M1 passa à condução e $t_1 = t_0 + D \cdot T$, em que D é o fator de ciclo, ou seja, o tempo que M1 está à condução num período. Nesta fase, a corrente na bobina é dada por:

$$i_L(t) = \frac{1}{L} \int_{t_0}^t v_L \cdot dt = \frac{V_O - V_I}{L} \cdot (t - t_0) + i_L(t_0) \quad (2.1)$$

Na fase seguinte, correspondente à figura 2.4(b), tem-se que $t_1 < t < t_2$, em que $t_2 = t_1 + D' \cdot T$, onde D' representa o tempo em que M2 está a conduzir. Apenas em MCC $D' = 1 - D$. Nesta fase, M2 encontra-se à condução e M1 ao corte, assim obtém-se:

$$i_L(t) = -\frac{V_O}{L} \cdot (t - t_1) + i_L(t_1) \quad (2.2)$$

No MCD verifica-se uma terceira fase, correspondente à figura 2.4(c), em que os transístores se encontram ambos ao corte, não existindo corrente na bobina, ou seja, apenas se dá a descarga do condensador de filtragem. Como se sabe, com o conversor a funcionar em regime permanente, a tensão média na bobina e a corrente média no condensador são nulas. Pelo que se verifica o seguinte:

$$(V_I - V_O) \cdot D + (-V_O) \cdot D' = 0 \quad (2.3)$$

ou seja:

$$(V_I - V_O)/V_O = \frac{D'}{D} \quad (2.4)$$

Considerando que M representa o ganho em tensão do conversor, obtém-se:

$$M = \frac{V_O}{V_I} = \frac{D}{D + D'} \quad (2.5)$$

em particular no MCC, que $D' = 1 - D$:

$$M = D \quad (2.6)$$

Através da equação 2.1, é possível calcular a variação da corrente na bobina. Sabendo que a variação máxima se obtém durante o tempo total de carga (figura 2.4(a)) ou descarga (figura 2.4(b)) da bobina em regime permanente, tem-se que:

$$\Delta i_L = \frac{V_I - V_O}{L \cdot D \cdot T} = V_O L \cdot D' \cdot T \quad (2.7)$$

A corrente média mínima na bobina no MCC obtém-se através condição de fronteira entre os dois modos de funcionamento. Efetivamente, a corrente média na bobina é igual a um meio do seu valor de pico, na fronteira entre os modos de condução contínua e descontínua. Assim a corrente $i_L(t)$ não se anula, desde que $I_L > \Delta i_L/2$, conforme a figura 2.6.

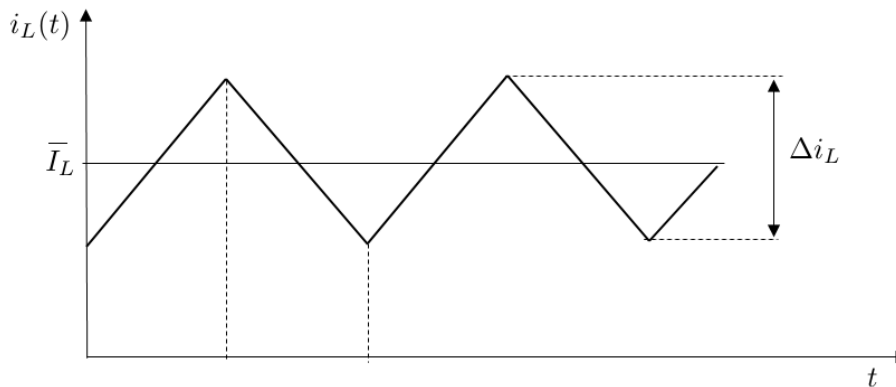


Figura 2.6: Corrente na bobina em regime permanente.

Como tal tem-se que:

$$I_L > \frac{\Delta i_L}{2} = \frac{V_I - V_O}{L} \cdot D \cdot T \quad (2.8)$$

Esta, por sua vez, permite calcular o valor mínimo do coeficiente de auto indução da bobina para permanecer em MCC:

$$L_{min} = \frac{V_O}{2 \cdot I_O} \cdot (1 - D) \cdot T = \frac{I_O \cdot R}{2 \cdot I_O} \cdot (1 - D) \cdot T \Leftrightarrow \frac{2 \cdot L_{min}}{R \cdot T} = 1 - D \quad (2.9)$$

2.2 Conversor QSW-ZVS

O conversor QSW é um conversor caracterizado por ter comutação suave, mas onde a transmissão de energia da alimentação para a carga se faz predominantemente por um processo PWM, onde o processo ressonante surge apenas para se obter comutação suave, não contribuindo de forma significativa para transmissão de energia. Embora com comutação ressonante, este conversor não apresenta as desvantagens de sobredimensionamento dos dispositivos de comutação típicas dos conversores QR, tornando-o uma opção viável para a sua integração monolítica. Contudo, este conversor apresenta uma limitação relevante no que diz respeito ao seu ganho, M , como será demonstrado posteriormente. Além disso, o conversor QSW-ZVS, representado na figura 2.7, usa a bobina de filtragem como a bobina de ressonância para obter oscilação da tensão aos terminais do transístor, para obtenção de ZVS, conduzindo a uma corrente com elevada componente alternada, obrigando a um sobredimensionamento do condensador de filtragem.

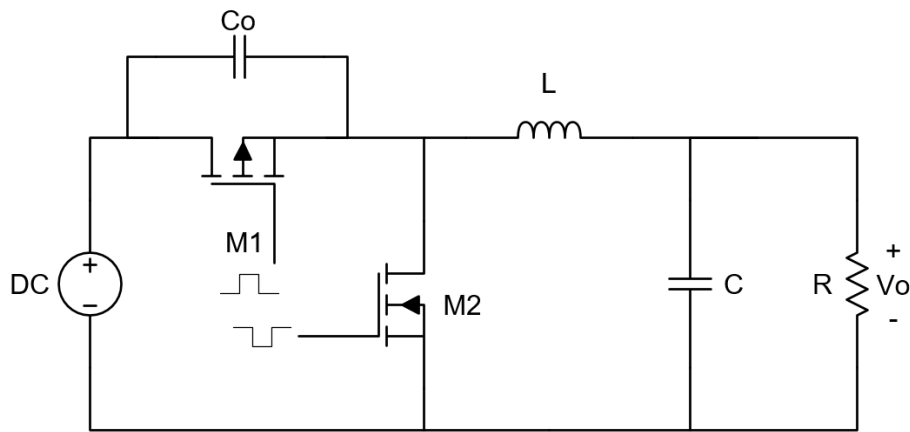


Figura 2.7: Conversor QSW-ZVS.

Este circuito apresenta quatro fases de funcionamento, representados na figura 2.8, sendo estas definidas pelo estado dos MOSFET, M1 e M2 e pela carga ou descarga do condensador C_O . A impedância característica do circuito, Z_0 , a frequência de ressonância, ω_0 , e o fator de qualidade, Q , são dados respetivamente por:

$$Z_0 = \sqrt{\frac{L}{C_O}} \quad (2.10)$$

$$\omega_0 = \frac{1}{\sqrt{L \cdot C_O}} \quad (2.11)$$

$$Q = \frac{R}{Z_0} \quad (2.12)$$

Para análise detalhada de cada fase, considera-se que o instante inicial, t_0 , corresponde ao fim da Fase 4, figura 2.8(d), e início da Fase 1, figura 2.8(a). Este instante é em $t = 0$ no diagrama de funcionamento representado na figura 2.9.

Fase 1, $t_0 < t < t_1$: Nesta fase, com ambos os transístores ao corte, inicia-se a carga ressonante do

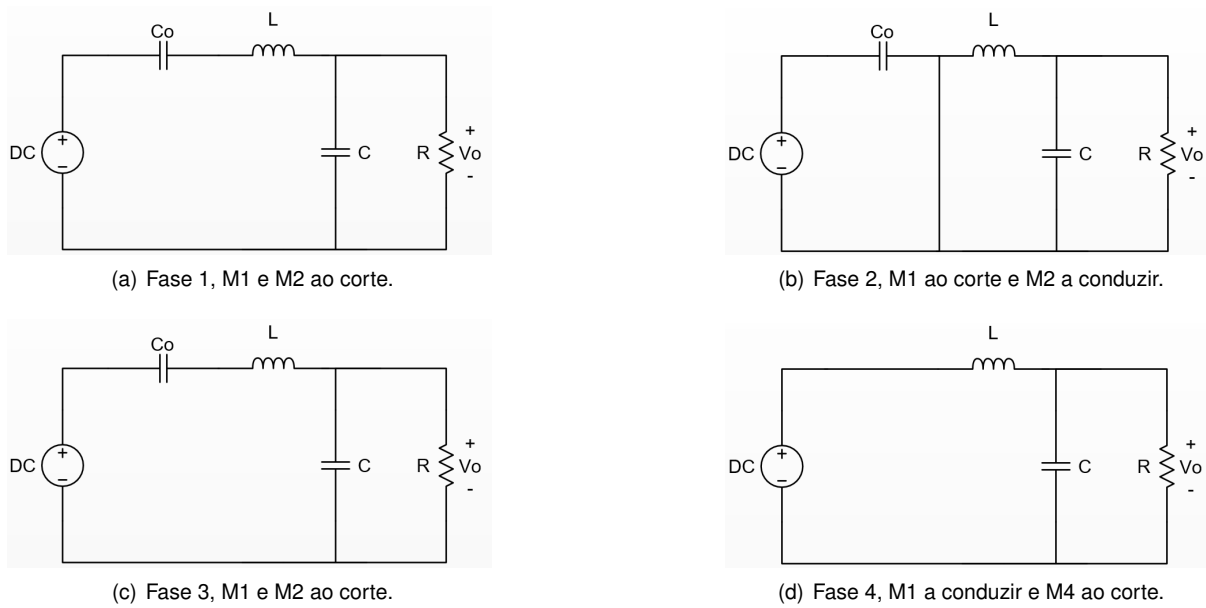


Figura 2.8: Fases de funcionamento do conversor QSW-ZVS.

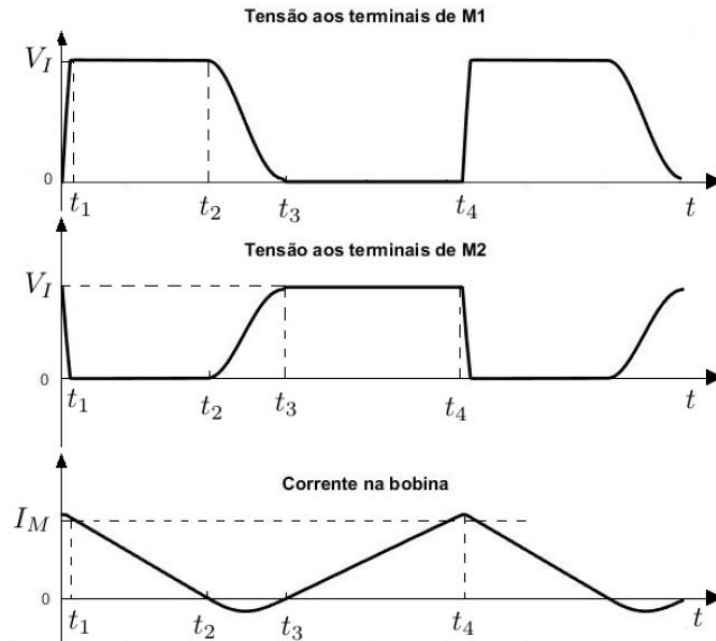


Figura 2.9: Diagramas de funcionamento do conversor redutor QSW-ZVS.

condensador, C_O , e da bobina, L , sendo que a tensão no condensador, v_{C_O} , e a corrente na bobina, i_L , são dadas respetivamente por:

$$v_{C_O}(t) = -(V_I - V_O) \cdot \cos(\omega_0 \cdot (t - t_0)) + Z_0 \cdot i_L(t_0) \cdot \sin(\omega_0 \cdot (t - t_0)) + (V_I - V_O) \quad (2.13)$$

$$i_L(t) = \frac{V_I - V_O}{Z_0} \cdot \sin(\omega_0 \cdot (t - t_0)) + i_L(t_0) \cdot \cos(\omega_0 \cdot (t - t_0)) \quad (2.14)$$

Sendo $C_O \ll C$, o tempo de duração desta fase é também muito inferior ao das fases seguintes, podendo assim aproximar-se a carga do condensador C_O a uma carga linear que por sua vez permite aproximar a corrente na bobina a uma corrente constante [4], $i_L(t) \approx i_L(t_0) \approx I_M$, onde

I_M corresponde à corrente de pico da bobina. Sabendo ainda que $i_{C_O}(t) = i_L(t)$ com $t_0 < t < t_1$, obtém-se que:

$$v_{C_O}(t) = \frac{1}{C_O} \int_{t_0}^t i_L(t) \cdot dt = \frac{I_M}{C_O} \cdot (t - t_0) \quad (2.15)$$

Sabendo que o fim desta fase se dá quando $v_{C_O}(t) = V_I$, o tempo de duração da mesma é:

$$D_1 = \frac{V_I \cdot C_O}{I_M} \quad (2.16)$$

Fase 2, $t_1 < t < t_2$: O início da segunda fase é dado pela passagem do transístor M2 à condução em t_1 , dando assim início à descarga linear da bobina. Durante esta fase, a tensão no condensador C_O mantém-se constante, pois o condensador encontra-se em paralelo com a fonte, $v_{C_O}(t) = V_I$. A corrente na bobina, $i_L(t)$ é dada por:

$$i_L(t) = -\frac{V_O}{L} \cdot (t - t_1) + i_L(t_1) \quad (2.17)$$

Esta fase termina quando a corrente na bobina se anula e o transístor M2 passa ao corte, como tal, a duração D_2 é dada por:

$$D_2 = \frac{L \cdot I_M}{V_O} \quad (2.18)$$

Fase 3, $t_2 < t < t_3$: A terceira fase tem a mesma configuração que a primeira, isto é, ambos os transístores se encontram ao corte. Contudo, nesta fase, dá-se a descarga ressonante do condensador C_O com a bobina. A tensão no condensador de ressonância e na bobina são dadas por:

$$v_{C_O}(t) = V_O \cdot \cos(\omega_0 \cdot (t - t_2)) + (V_I - V_O) \quad (2.19)$$

$$i_L(t) = -\frac{V_O}{Z_0} \cdot \sin(\omega_0 \cdot (t - t_2)) \quad (2.20)$$

Esta fase termina quando se dá a descarga total do condensador C_O , isto é, quando a tensão do condensador se anula, $v_{C_O}(t) = 0$. Observando a equação 2.19, verifica-se que para se anular v_{C_O} é necessário que $V_o \geq \frac{V_I}{2}$. Com isto revela-se uma grande limitação do conversor QSW, $\frac{V_I}{2} \leq V_O \leq V_I$. Da equação 2.19 é possível determinar o tempo de duração desta fase:

$$D_3 = \frac{1}{\omega_0} \cdot \arccos\left(\frac{V_O - V_I}{V_O}\right) \quad (2.21)$$

Fase 4, $t_3 < t < t_4$: No instante t_3 , o transístor M1 passa à condução, M2 continua ao corte, e dá início à carga linear da bobina. Durante esta fase, o condensador C_O encontra-se com os seus terminais em curto circuito, como tal, a sua tensão permanece nula, $v_{C_O}(t) = 0$. A corrente na bobina durante esta fase é dada por:

$$i_L(t) = \frac{V_I - V_O}{L} + i_L(t_3) \quad (2.22)$$

A duração da fase é dada pelo tempo que a corrente da bobina demora a atingir a corrente máxima

I_M , assim obtém-se:

$$D_4 = L \cdot \frac{i_L(t_4) - i_L(t_3)}{V_I - V_O} \quad (2.23)$$

2.3 Conversor QSW-ZVS em CMOS 350 nm

O método apresentado em [4] consiste no projeto do conversor QSW-ZVS, para o qual é necessário uma equação que determine a relação entre a frequência de comutação, f_s , e a frequência de oscilação, f_0 , em função do ganho, M . Para tal, considera-se o conversor ideal, isto é, sem perdas. Sabe-se que a energia de entrada do circuito é dada por:

$$W_I = V_I \cdot I_I \cdot T = V_I \cdot \left[\int_{t_0}^{t_4} i_L(t) \cdot dt \right] \cdot T \quad (2.24)$$

Como apresentado em 2.2, o circuito apenas recebe energia da fonte quando M1 está a conduzir, fase 4. Nesta situação a corrente de entrada é a corrente na bobina, como tal, obtém-se:

$$I_I = \frac{1}{T} \int_{t_0}^{t_0+T} i_I(t) \cdot dt = \frac{1}{T} \int_{t_3}^{t_0+T} i_L(t) \cdot dt \quad (2.25)$$

Continuando em situação ideal, $W_O = W_I$, e considerando que $i_L(t_0) \approx I_M$, desenvolve-se a expressão 2.24, tendo em conta as equações 2.22 e 2.23 e $i_L(t_3) = -\frac{1}{Z_0} \cdot \sqrt{V_O^2 - (V_I - V_O)}$ (dedutível a partir de 2.20 e 2.21). É possível então, após alguma manipulação matemática, obter a equação que determina a relação entre frequências em função de M [4, 9]:

$$\frac{f_s}{f_0} = \frac{4 \cdot \pi \cdot M^2 \cdot (1 - M)}{Q \cdot \left(\frac{M^2}{Q^2} \cdot \frac{I_M^2}{I_L^2} - (2 \cdot M - 1) \right)} \quad (2.26)$$

Sendo o ganho do conversor, M , uma variável conhecida, tal como o fator qualidade, Q , que é obtido em função dos elementos do circuito, a única variável desconhecida é a relação entre I_M e I_L . Manipulando as equações 2.16, 2.18, 2.21 e 2.23 apresentadas em 2.2, em conjunto com a equação 2.26 é possível chegar a uma equação de terceira ordem, cuja resolução não é trivial, em que $\alpha = \frac{I_M}{I_L}$ [4]:

$$a \cdot \alpha^3 + b \cdot \alpha^2 + c \cdot \alpha + d = 0 \quad (2.27a)$$

$$a = -\frac{1}{2 \cdot Q \cdot (1 - M)} \quad (2.27b)$$

$$b = \frac{1}{Q} + \frac{M}{Q \cdot (1 - M)} \quad (2.27c)$$

$$c = \arccos\left(\frac{M-1}{M}\right) + \frac{1}{1-M} \cdot \sqrt{2 \cdot M - 1} + \frac{(2 \cdot M - 1) \cdot Q}{2 \cdot M^2 \cdot (1 - M)} \quad (2.27d)$$

$$d = M \cdot Q \quad (2.27e)$$

A equação 2.27a apresenta três soluções, no entanto apenas uma é compatível com os diagramas de funcionamento do conversor QSW-ZVS. Com o apoio da ferramenta *Matlab* procedeu-se à resolução

da mesma para vários valores de M e de Q , permitindo assim a construção do gráfico da figura 2.10. Como pode ser verificado na figura 2.10, a razão de conversão M é afetada pela variação da relação

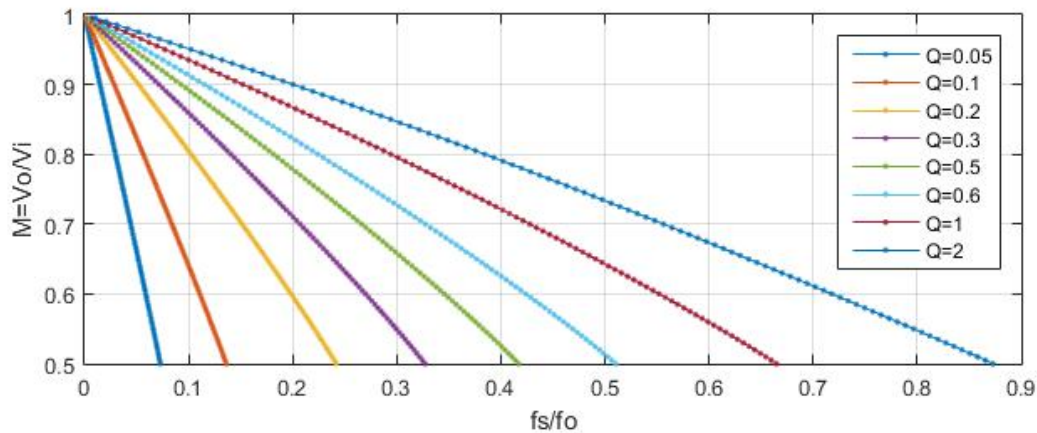


Figura 2.10: Frequência de comutação normalizada em função de M para vários valores de Q .

de frequências e pela carga.

Tendo como base toda a teoria já apresentada sobre este conversor e em conjunto com os quatro aspetos enunciados, surge a metodologia proposta por [4].

- A aproximação feita em 2.2 só é válida para relações entre frequências de comutação e de ressonância baixas (tipicamente $f_s/f_0 < 0.5$). Isto implica que a carga normalizada, Q , também deverá tomar valores baixos (tipicamente $Q < 2$).
- A definição das dimensões dos transístores dependem da corrente na carga e dos parâmetros da tecnologia CMOS utilizada.
- A frequência máxima de comutação depende das dimensões dos transístores devido às capacidades parasitas.
- O cálculo de Q é feito em função da carga e da impedância característica Z_0 .

Metodologia de projeto de conversor QSW-ZVS em tecnologia CMOS proposta por [4]:

1. Define-se o valor para a carga normalizada, Q , que conjuntamente com a relação de conversão, M , imponha uma relação pequena entre frequências de comutação e ressonância.
2. Com o valor de Q calculado em 1, determina-se a impedância do circuito considerando a resistência de carga máxima, $R_{L_{max}}$. Determina-se a relação entre a corrente máxima na bobina, I_M , e a corrente média na bobina I_L . Determina-se a relação entre frequências de comutação máxima e de ressonância.
3. Determina-se a dimensão dos transístores de potência em função da corrente na carga, I_O , e da frequência de comutação máxima, $f_{s_{max}}$, definida tendo em conta o compromisso entre a área ocupada e o rendimento do conversor, considerando ainda as limitações tecnológicas do processo

utilizado na implementação dos restantes circuitos associados ao conversor (ex: circuitos auxiliares de ataque, circuitos de controlo, etc.). Com a relação entre frequências de comutação máxima e a de ressonância, determinadas em 2, fica definida também a frequência de ressonância, f_0 .

4. Definidas as dimensões dos transístores de potência, ficam definidas as suas capacidades intrínsecas que contribuem para a capacidade de ressonância, C_O . A soma dessas capacidades deverá ser inferior ou, no pior caso, igual à de ressonância, determinada depois de definidas nos pontos 2 e 3 a impedância característica, Z_0 , e a frequência de ressonância, f_0 . Se a soma das capacidades intrínsecas dos transístores, que contribuem para a capacidade C_O , não for inferior ou igual ao valor determinado, deverá voltar-se ao ponto 1 e escolher um novo Q

Este método descrito foi aplicado e testado em [4] numa tecnologia CMOS de 350nm. Este tem como requisitos reduzir uma tensão de 5 para 3,3V. O cálculo do rendimento é feito através da seguinte equação:

$$\eta = \frac{P_L}{P_{CT}} \quad (2.28)$$

onde P_L representa a potência na carga e P_{CT} representa a potência consumida pelo circuito de potência. Com uma potência na carga próxima de 100mW apresenta um rendimento de 74,1%.

2.4 Tecnologia CMOS

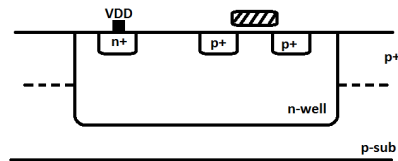
A tecnologia CMOS tem-se tornado a tecnologia-chave para a implementação da maioria dos circuitos eletrónicos e sistemas complexos, principalmente devido à sua disponibilidade e ao seu custo. O avanço do processo e da litografia tornaram a tecnologia CMOS muito competitiva no campo das aplicações de alta frequência, tais como *Radio Frequency* (Frequência Radio) (RF), circuitos de comunicações móveis, circuitos de processamento de sinal, etc. Alguns destes circuitos aparecem em equipamentos eletrónicos que funcionam com bateria [9].

Como se referiu inicialmente, o projeto a desenvolver será concretizado em ambiente EDA. O ambiente EDA abrange várias ferramentas direcionadas ao projeto, conceção e produção de sistemas eletrónicos, desde o projeto de circuitos integrados até o desenho de placas de circuito impresso. Ainda neste ambiente, será utilizada a ferramenta *Cadence Design Environment* (Ambiente de Projeto em *Cadence*) (CDE), que permitirá projetar blocos funcionais e o sistema eletrónico proposto.

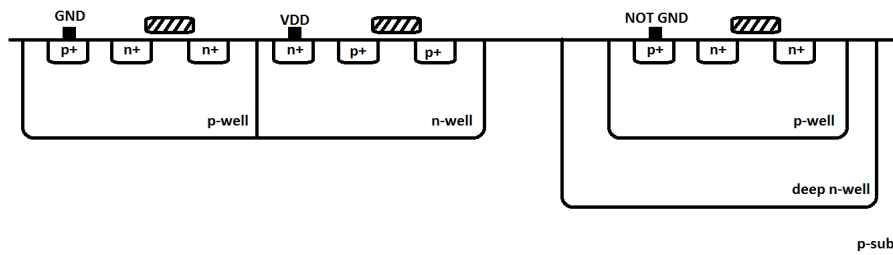
Na ferramenta CDE será utilizado a *Foundry Design Kit* (FDK) respeitante ao processo CMOS UMC130MMRF. Este processo utiliza uma litografia de 130nm com substrato do tipo P. Tem disponível oito níveis metalizados em cobre, M1 a M8, em que M7 e M8 são mais espessos e ainda um nível de Silício poli-cristalino para as portas dos MOSFET e condensadores.

Será utilizado um processo planar, de sinais mistos (*mixed-mode*), com 45 máscaras, com isolamento de óxido grosso do tipo *Shallow Trench Isolation* (STI).

No processo utilizado estão disponíveis poços N em modo clássico, figura 2.11(a), e ainda poços *deep n-well*, figura 2.11(b). Na figura 2.11(a), está representado o perfil de um transístor *P-type Metal-Oxide-Semiconductor* (PMOS) em poço N [18]. Na figura 2.11(b), está representado o perfil de dois



(a) N-well clássico



(b) Deep n-well

Figura 2.11: Perfil de poços disponíveis.

transístores complementares (em poços gémeos (*twin-well*)), e um terceiro transistor que não tem o terminal *bulk* ligado ao *GND* global. Daí decorre a necessidade de implementação de um poço extra para isolamento, o *deep n-well*.

Os transístores a serem utilizados neste trabalho, serão expostos a uma tensão máxima igual à tensão de entrada, como já foi referido em 2.2. Assim, serão utilizados transístores de 3.3V de modo a que estes suportem a tensão de entrada que neste trabalho será de 2.4V.

Neste processo existe ainda a possibilidade do uso de condensadores *Metal-Insulator-Metal* (MIM) que utilizam junções P-N e condensadores *Metal-Oxide-Metal* (MOM) que são do tipo *poly-to-poly*. Estes condensadores apresentam densidade capacitiva até $\approx 2fF/\mu m^2$ [19].

Para validação do circuito projetado, estão ainda previstas simulações em ambiente EDA, onde será verificado o funcionamento do circuito em condições limite (*corners*), tais como: circuito alimentado com uma bateria totalmente carregada ou com carga mínima; temperaturas mínimas e máximas (-40°C a 125°C); variações dos MOSFET com modelos limite (*slow* e *fast*).

2.5 Conclusões

Este capítulo permitiu conhecer as principais características do conversor QSW, bem como a sua evolução a partir do conversor *buck*. Ficaram estabelecidas todas fases de funcionamento, bem como as equações pelas quais se regem as grandezas elétricas do QSW, em cada fase.

Uma das características do conversor a salientar é a comutação em zero de tensão, que permite ao transistor a condução apenas na zona de tródo, por não apresentar grandes tensões aos seus terminais, o que reduz significativamente as perdas. Outra característica importante a referir é o facto de este conversor apresentar uma forte limitação no que diz respeito à razão de conversão, uma vez

que esta não pode ser inferior a 0,5, devido à descarga completa do condensador de ressonância.

Capítulo 3

Projeto do Conversor QSW-ZVS

Tendo em conta a teoria relativa ao conversor redutor QSW-ZVS, descrita no capítulo anterior, neste capítulo procede-se ao projeto do conversor QSW-ZVS. O projeto do conversor será baseado no método descrito na secção 2.3. Nesta fase recorre-se à ferramenta *Cadence* para simular o funcionamento do circuito, ainda com elementos ideais.

3.1 Projeto do conversor

Pretende-se projetar um circuito que converta uma tensão de 2,4 para 1,2V. O conversor terá uma relação de conversão $M = 0,5$, estará portanto a funcionar no seu limite, como apresentado em 2.2 com as equações 2.19 e 2.20. Uma vez conhecido o valor de M , recorre-se ao gráfico da figura 2.10 e, para um determinado fator de qualidade, Q , obtém-se uma relação de frequências aproximada.

A escolha do fator qualidade é feita tendo em conta a metodologia descrita em 2.3, como tal escolheu-se $Q = 0,4$ obtendo-se assim $f_s/f_0 \approx 0,4$. Como se pretende o circuito a comutar a uma frequência $f_s \approx 100\text{MHz}$ calcula-se a frequência de ressonância a partir de:

$$f_0 = \frac{f_s}{0,4} = 250\text{MHz} \quad (3.1)$$

Pretende-se ajustar o conversor para uma carga de saída de 50Ω . Tem-se então todos os dados para o cálculo do condensador e da bobina de ressonância. Recorrendo às equações 2.10 a 2.12 tem-se:

$$\left\{ \begin{array}{l} L = \frac{R}{\omega_0 \cdot Q} \approx 80\text{nH} \\ C_o = \frac{Q}{R \cdot \omega_0} \approx 5\text{pF} \end{array} \right. \quad (3.2)$$

Para $M = 0,5$ traçou-se também o gráfico de α em função de Q , segundo a equação 2.27a, representado na figura 3.1. Este permite a análise dos valores da relação entre a corrente máxima, I_M , e a corrente média na bobina, I_L , para os vários valores de Q .

Sabe-se que, em regime permanente, a corrente média no condensador de filtragem é nula, daí

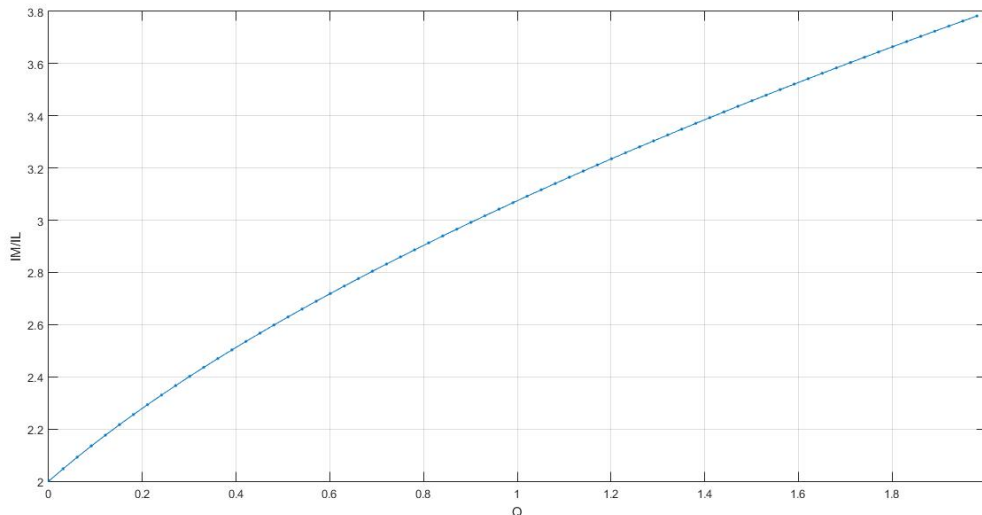


Figura 3.1: Relação de correntes I_M/I_L em função do fator de qualidade Q , para uma relação de conversão fixa de $M = 0,5$.

conclui-se que a corrente de saída é a corrente média na bobina, I_L . Recorrendo ao gráfico 3.1, obtém-se a relação entre corrente máxima na bobina, I_M , e corrente média I_L , para o respetivo fator de qualidade. Assim, obtém-se:

$$I_L = \frac{V_O}{R} = 24mA \quad (3.3)$$

$$I_M = I_L * 2,51 = 60,2mA \quad (3.4)$$

Tem-se assim todos os elementos necessários ao cálculo dos tempos de cada fase de funcionamento do circuito com recurso às equações 2.16, 2.18, 2.21 e 2.23. Obtidos os tempos, procedeu-se à implementação do circuito em *Cadence*, como se vê na figura 3.2:

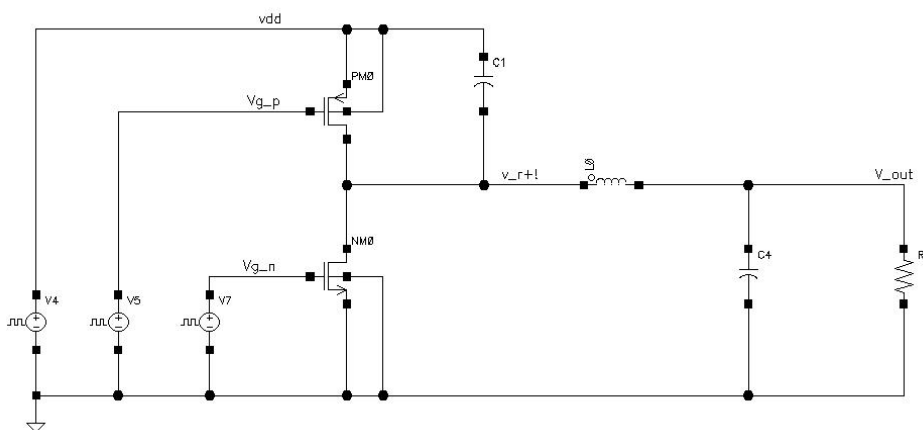


Figura 3.2: Conversor QSW-ZVS com elementos ideais.

As dimensões dos transístores não foram, nesta fase, tidas em conta, pois com fontes ideais, a largura do transístor pode ser exagerada de modo a diminuir-se as perdas por condução associadas ao mesmo. Ainda assim, não é possível anular essas perdas, pelo que houve necessidade de se

realizarem alguns ajustes nos componentes, de modo que as especificações fossem cumpridas, uma vez que as equações teóricas apresentadas em 2.2 e 2.3 consideram os transístores como interruptores ideais.

Após todos os ajustes efetuados, procedeu-se à simulação do circuito, onde se obtiveram as formas de onda correspondentes às tensões de comando nas *gates* dos transístores, tensão nos drenos dos transístores, corrente na bobina e componente alternada da tensão de saída, representadas por esta ordem na figura 3.3.

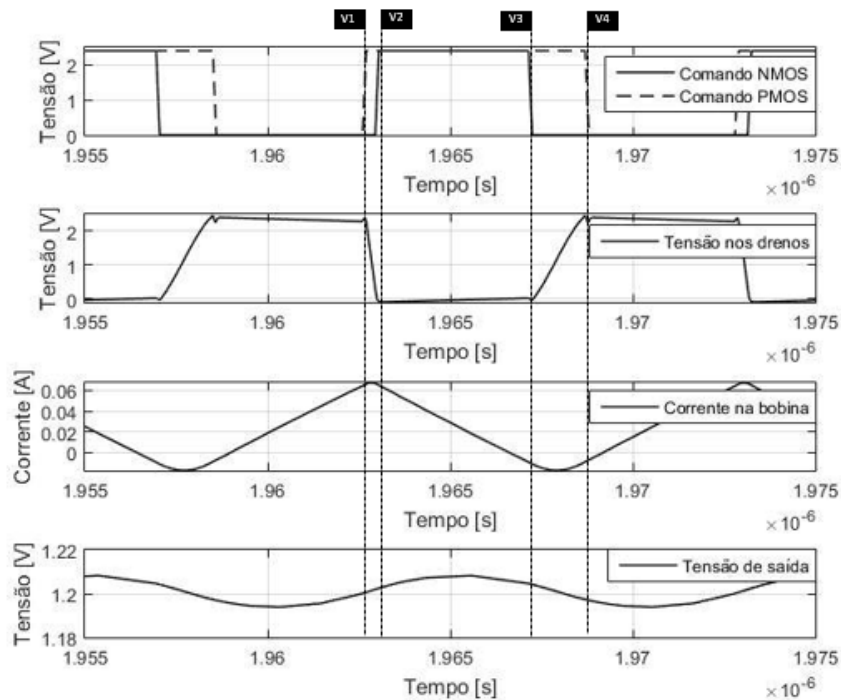


Figura 3.3: Diagramas temporais das grandezas elétricas do QSW com elementos ideais.

Comparativamente à figura 2.9, pode-se verificar que os instantes t_0 a t_3 correspondem, respectivamente, aos marcadores verticais $V1$ a $V4$ da figura 3.3.

Observando as curvas resultantes, verifica-se a existência de um máximo de corrente, na ordem dos 60mA, entre $V1$ e $V2$, intervalo este onde se considerou a corrente constante para efeitos de cálculos. Entre $V3$ e $V4$, como esperado, a corrente na bobina, i_L , desce para valores negativos de modo a dar-se a descarga do condensador de ressonância.

Neste circuito não se pode ter em conta o rendimento, que é cerca de 96%, pois o sobredimensionamento dos transístores reduz significativamente as perdas de condução dos mesmos. Também a presença de elementos ideais reduz significativamente as perdas, isto é, não é contabilizada a potência perdida no controlo e no comando dos transístores. Ainda relativamente ao sobredimensionamento dos transístores, este apresenta desvantagens associadas a perdas, como será demonstrado no próximo capítulo.

3.2 Controle

Projetado o circuito, existe a necessidade de se substituírem os seus elementos ideais por elementos reais e que estes se ajustem, de certa forma, ao correto funcionamento do conversor. Para qualquer que seja a tensão de alimentação ou o valor da carga, a tensão de saída deverá manter-se constante. A conjugação de vários fatores constituintes da equação 2.26, contribuem para o funcionamento do QSW e é a partir da mesma que se encontra o equilíbrio do circuito, isto é, pelo gráfico da figura 2.10 observam-se três variáveis, em que se uma alterar, as outras têm de ser ajustadas para que se mantenha a tensão de saída V_O . Com este objetivo desenvolveram-se dois circuitos de controle, sendo que o primeiro não se apresentou robusto e eficiente na sua função.

3.2.1 Controle ideal para QSW-ZVS

Inicialmente, foi pensado um controle que proporcionasse um funcionamento ideal ao conversor de acordo com o seu funcionamento explicado na secção 2.2. O funcionamento deste controle passa por atuar na corrente máxima da bobina, I_M , sendo necessário a existência de um elemento que compare a corrente instantânea na bobina, $I_L(t)$, com a corrente I_M assim como a detecção do zero de corrente. Quando $I_L(t) = I_M$ é gerado um impulso que coloca a "1" a *gate* do transístor P, colocando-o, conseqüentemente, ao corte. O mesmo impulso ativa uma cadeia de atrasos que correspondem ao tempo de descarga do condensador ressonante, C_0 , que por sua vez coloca a "1" a *gate* do transístor N, iniciando-se a condução do mesmo. Quando a corrente instantânea na bobina se anula, é gerado um impulso que coloca a *gate* do transístor N a "0" e ativa uma cadeia de atrasos, correspondente ao tempo de carga de C_0 que, por sua vez, coloca o transístor P a conduzir.

Para fechar o circuito, a referência que define a corrente I_M é dada pela integração do erro da tensão de saída. Quando a tensão de saída for menor que a tensão pretendida, a corrente I_M aumenta, de modo que aumente também a transmissão de energia e vice-versa.

O esquema da figura 3.4 representa o circuito completo do conversor com o controle descrito acima.

Visto que a entrada dos comparadores é feita em tensão, é necessária a conversão da corrente $i_L(t)$ para uma tensão. Para tal, é colocada uma resistência em série com a bobina, e é lida a diferença de tensão aos seus terminais. Esta diferença é aplicada a dois comparadores, de onde se obtêm os impulsos aplicados aos circuitos *flip-flop*.

Este circuito tem a vantagem de manter um funcionamento correto QSW-ZVS para uma vasta gama de cargas e de tensões de alimentação, menor que $2 \cdot V_O$, refletindo-se a variação destas na frequência de comutação do conversor. Isto é, a frequência da onda gerada pelo controle depende do tempo que demora a carga e a descarga da bobina, variando os tempos de duração das fases 2 e 4, apresentadas na secção 2.2, conforme o valor de I_M , e mantendo constantes os tempos de ressonância correspondentes às fases 1 e 3. Os tempos das fases 1 e 3 são definidas por duas cadeias de atrasos nas entradas dos circuitos *flip-flop*. Contudo, o controle idealizado não é de trivial implementação. A leitura da corrente na bobina implica perdas e fragilidades no circuito. Estas fragilidades foram provadas em simulação por *corners*, onde o circuito deixava de funcionar. Além destas simulações, a adaptação

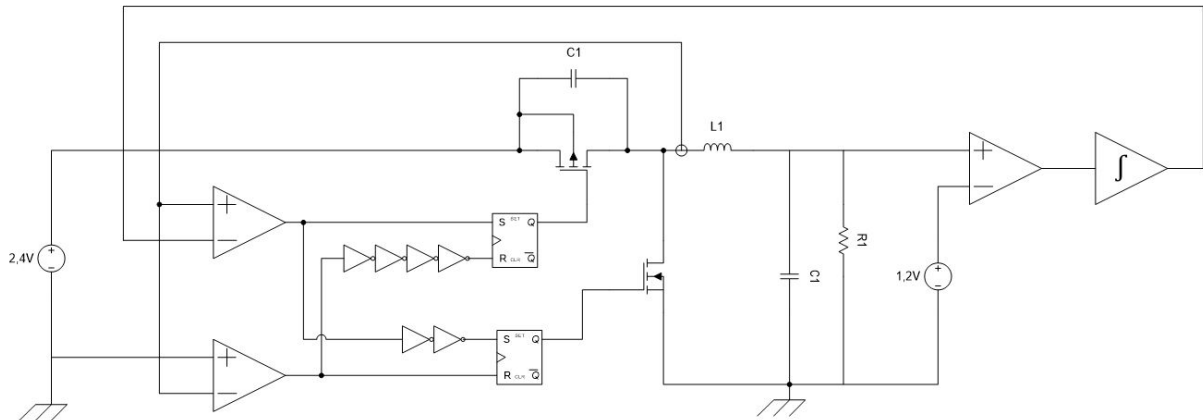


Figura 3.4: Esquema de controlo ideal para QSW-ZVS.

à resistência de saída também se mostrou uma fragilidade neste controlo, já que o funcionamento QSW-ZVS se perdia. Este controlo, da forma que foi implementado apresentava ainda um excessivo consumo, como tal um baixo rendimento para o conversor.

3.2.2 Controlo implementado para QSW-ZVS

Concluindo que a proposta anteriormente descrita não era concretizável dentro da calendarização prevista, foi necessário idealizar um circuito de controlo capaz de manter o correto funcionamento QSW-ZVS, com um baixo consumo e ainda com robustez suficiente.

Partindo da configuração genérica do controlo de um conversor *buck* de comutação abrupta, aplicaram-se as alterações necessárias para que fosse possível aplica-lo ao conversor de comutação suave QSW-ZVS.

O controlo aplicado ao conversor, cujo esquema pode ser observado na figura 3.5, apresenta uma desvantagem pois, apesar de manter constantes os tempos de ressonância do conversor, correspondentes às fases 1 e 3 apresentadas na secção 2.2, pode não respeitar o tempo das fases 2 e 4.

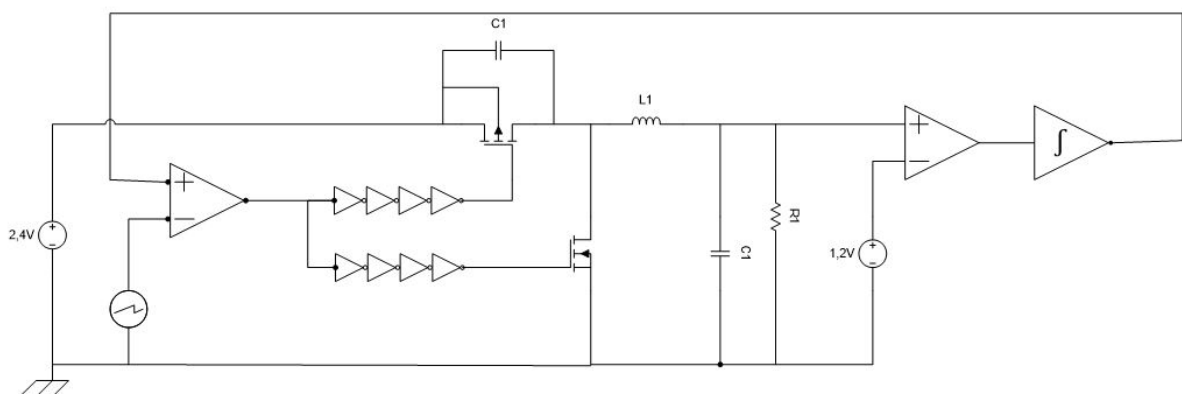


Figura 3.5: Esquema de controlo PWM.

O facto do conversor não respeitar os tempos das fases 2 e 4, faz-se sentir no modo de comutação, isto é, se os intervalos não forem respeitados, a comutação deixa de ser no zero de tensão. Como será apresentado mais adiante, se a comutação não for efetuada no zero, o transístor terá um período de condução em saturação, aumentando por sua vez as perdas. Contudo, esta irregularidade apenas se faz sentir quando existe um grande desvio na carga de saída ou na tensão de alimentação, para o qual o conversor se encontra dimensionado.

O conversor QSW pode necessitar de mais ou menos tempo simultaneamente nas fases 2 e 4, conforme necessite de mais ou menos energia transferida, para efetivar o aumento da tensão, o que causaria uma adaptação na frequência. Com o bloco de controlo adotado tal não se verifica, pois sendo a frequência fixa, dada por um gerador de onda em dente de serra, a soma do tempo de duração das fases 2 e 4 é constante ao longo de todos os períodos.

Embora a desvantagem apresentada cause um maior consumo do conversor quando a carga está desajustada, este nunca fica a funcionar totalmente em comutação abrupta, isto é, a presença do condensador de ressonância permite que a comutação não force um salto de tensão de 0 para 2,4V ou vice-versa, sendo o salto sempre menor que 2,4V.

O modelo de controlo adotado consiste basicamente num controlo PWM. A tensão de saída do conversor é comparada com a tensão pretendida, 1,2V neste caso, sendo o erro aplicado a um integrador puro. A saída do integrador é, por sua vez, a referência que controla a largura de impulso. Este processo é feito com auxílio de um comparador, em que na sua entrada inversora é aplicada uma onda em forma de dente de serra, tal como mostra a figura 3.5. A saída deste comparador é também a saída do controlo, onde se tem uma onda modulada por largura de impulso. Este processo será explicado em detalhe com o bloco de controlo implementado no capítulo 4.

3.3 Conclusões

Este capítulo traduz o estudo do comportamento do conversor QSW em tecnologia CMOS de 130nm. Ao longo deste capítulo foram enunciadas soluções de concretização da parte de potência e do controlo.

Foi percecionada a necessidade de um circuito de controlo robusto relativamente aos *corners*, e de baixo consumo. Apresentaram-se duas propostas para o controlo. No entanto, a que proporcionaria um ajuste ideal do conversor à carga e à tensão de entrada, não se revelou eficaz e robusta. A segunda proposta, a ser implementada, trata-se de um controlo simples, do tipo PWM, que se mostrou funcional.

Capítulo 4

Concretização em tecnologia CMOS

O capítulo que se segue tem como objetivo a caracterização de todos os elementos constituintes do conversor implementado, por blocos, tais como, as cadeias de inversores de comando, transístores de comutação e controlo. O controlo, por sua vez, está dividido também em vários blocos a serem igualmente caracterizados na segunda secção do presente capítulo.

4.1 Circuito de potência

O circuito de potência é o núcleo de todo o conversor, sendo este responsável pela comutação e transferência de energia da alimentação para a carga. Este circuito contém os transístores que efetuam a comutação, as suas cadeias de inversores de comando e ainda o condensador de ressonância. Visto que o condensador é de pequenas dimensões (ordem das unidades de pF), encontra-se junto neste bloco para ser também integrado.

4.1.1 Transístores de comutação e condensador

Os transístores de comutação do conversor têm um funcionamento semelhante a um interruptor, embora apresentem perdas consideráveis durante a condução. Existe um compromisso entre estas perdas na condução e a capacidade parasita da *gate* de cada transístor, isto é, para reduzir a resistência de condução dos transístores, R_{ON} , deve-se aumentar a largura deste, W , que por sua vez aumenta a capacidade associada à área do transístor. Esta capacidade é carregada ou descarregada cada vez que o transístor entra em condução ou no corte, o que se traduz em perdas. É necessário portanto equilibrar este parâmetro de modo a minimizar as perdas. Na figura 4.1 pode ser confirmada esta relação entre R_{ON} , capacidade parasita e a largura do transístor.

Apesar de se ter acesso com facilidade a estes gráficos onde consta uma relação bem definida da capacidade e resistência do transístor em função da largura, não é trivial a sua conversão em perdas. Isto verifica-se porque, associada à área de cada transístor de comutação, existe ainda uma cadeia de inversores, cujas dimensões dos transístores dependem do transístor de comutação, o que implica, por sua vez, mais perdas. Como alternativa aos cálculos, utiliza-se a ferramenta *Cadence*, através

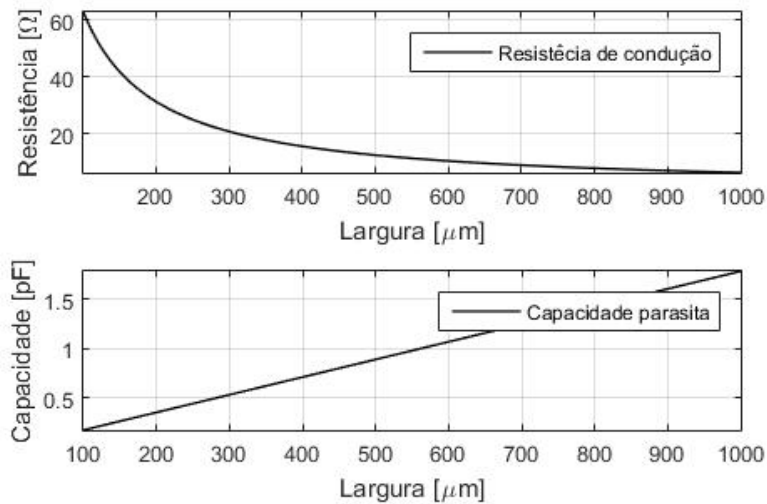


Figura 4.1: Resistência de condução e capacidade parasita do transístor NMOS em função W_N .

da qual se consegue chegar aos valores das perdas para várias dimensões dos transístores *N-type Metal-Oxide-Semiconductor* (NMOS) e PMOS, tal como demonstra a figura 4.2.

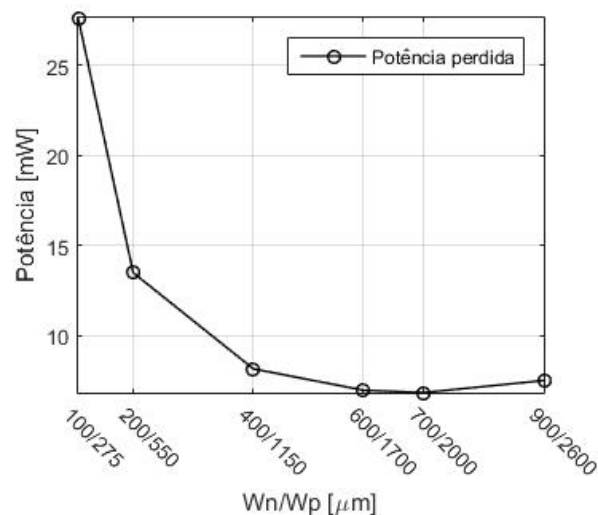


Figura 4.2: Perdas no bloco de potência para várias dimensões de W_P/W_N .

Para obtenção do gráfico da figura 4.2 não foram feitas alterações nas cadeias de inversores, sendo que estas se encontram dimensionadas conforme as tabelas 4.1 e 4.2. Isto significa que, para dimensões mais baixas, as perdas poderiam ser ligeiramente menores do que realmente demonstra o gráfico, se as cadeias de comando fossem adaptadas. No caso de dimensões maiores, se houvesse o respetivo ajuste, as perdas deveriam ser maiores. Verifica-se assim um par de dimensões W_N/W_P para o qual as perdas são mínimas, cerca de 6,9mW. Porém, estas dimensões necessitariam de ajuste nas cadeias de inversores, de modo a conferir alguma robustez ao conversor, que por sua vez teriam um maior consumo. Assim, os transístores do circuito de potência terão como dimensões $W_N = 600\mu\text{m}$ e $W_P = 1,7\text{mm}$, tal como se vê no esquema da figura 4.3.

O dimensionamento do condensador é efetuado através de cálculos, apresentado em 3.1, contudo,

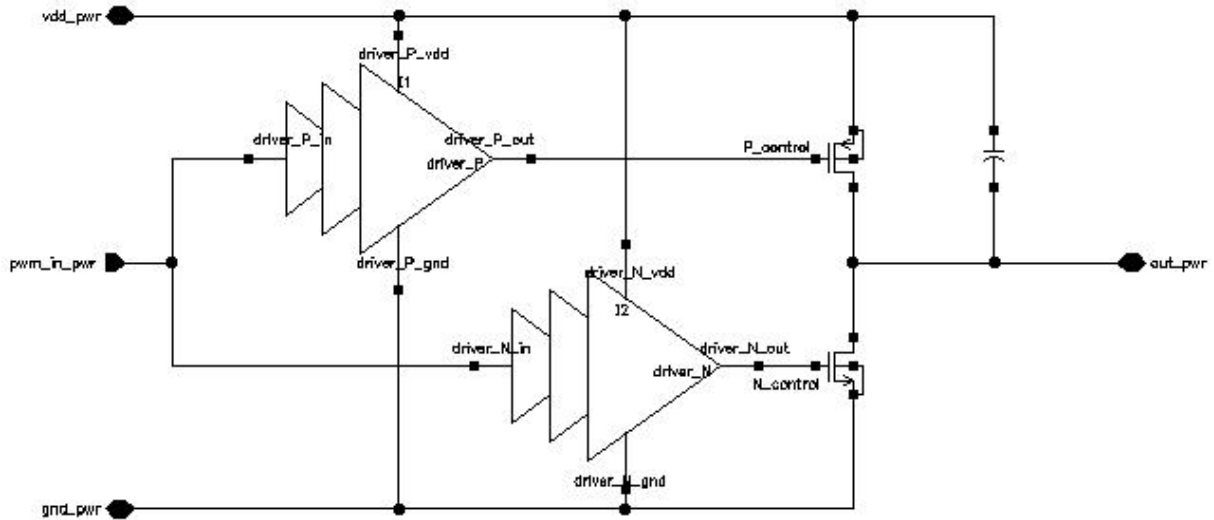


Figura 4.3: Esquema elétrico do circuito de potência.

após a implementação do circuito, verifica-se que necessita de redimensionamento devido às capacidades parasitas dos transístores. Estas capacidade parasitas formam-se entre todos os terminais dos transístores [18] e, conseqüentemente ficam em paralelo e em série com o condensador de ressonância.

4.1.2 Cadeias de inversores de comando dos transístores de potência

As cadeias de inversores de ataque às *gates* dos transístores de potência são constituídos por uma cadeia de quatro inversores, como demonstram as figuras 4.4 e 4.5, e têm duas funções fundamentais no funcionamento do conversor. Uma delas é a adaptação da saída do comparador rápido, que usa transístores com dimensões na ordem das centenas de nm, para os transístores de potência cujas dimensões se encontram nas centenas de μm . A par disto, as cadeias de inversores têm a função de manter fixos os tempos das fases 1 e 3 do funcionamento do conversor QSW-ZVS, exposto em 2.2. Estes tempos são obtidos através do dimensionamento dos inversores, isto é, a combinação da dimensão dos transístores de cada inversor, apresentadas nas tabelas 4.1 e 4.2, e as capacidades associadas às *gates* dos mesmos, implicam atrasos nas transições de "0" para "1" e vice-versa em cada nó. Assim, a partir de uma onda quadrada será possível a obtenção de duas ondas diferentes que controlam os transístores de potência. As dimensões apresentadas nas tabelas 4.1 e 4.2 referem-se apenas à largura de cada transístor (W), sendo que o comprimento (L) se mantém fixo em 340 nm.

Tabela 4.1: Dimensionamento da cadeia de inversores de comando do transístor de potência NMOS.

$W_{\text{PMOS}} [\mu\text{m}]$	0,5	2	33	66
$W_{\text{NMOS}} [\mu\text{m}]$	0,17	1	11	22

O dimensionamento descrito nas tabelas 4.1 e 4.2 permitiu a obtenção das ondas de comando dos

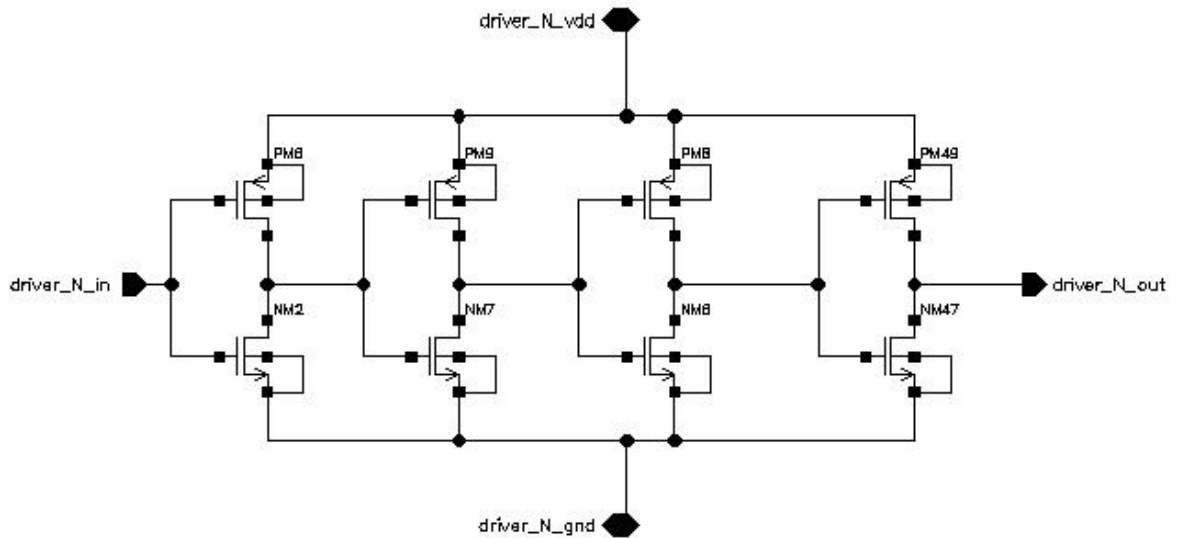


Figura 4.4: Cadeia de inversores de comando do transistor de potência NMOS.

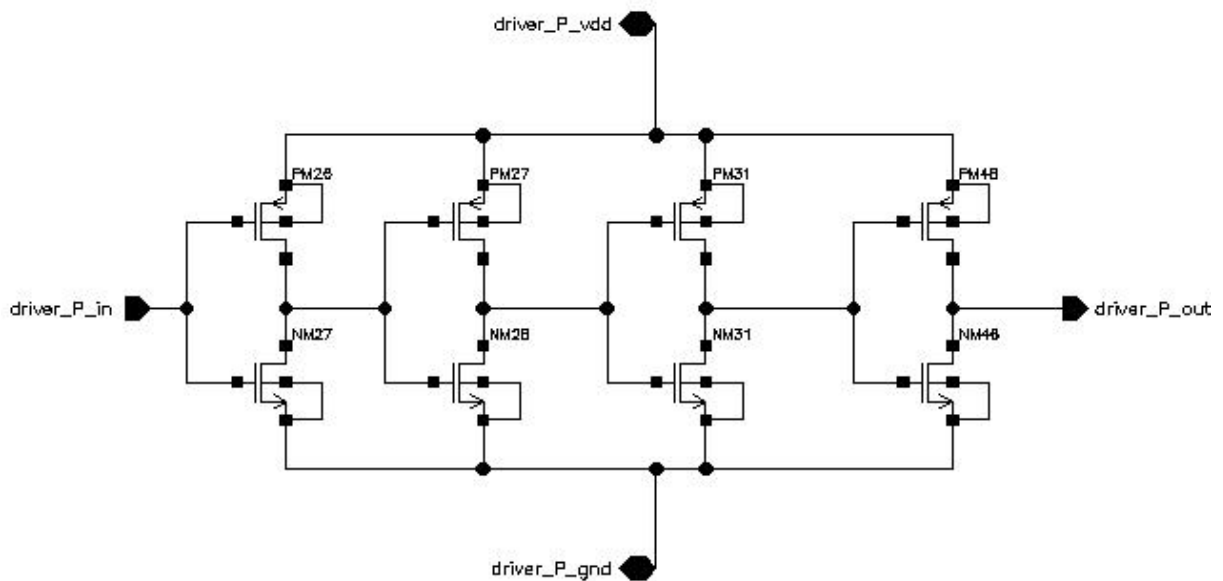


Figura 4.5: Cadeia de inversores de comando do transistor de potência PMOS.

Tabela 4.2: Dimensionamento da cadeia de inversores de comando do transistor de potência PMOS.

$W_{PMOS} [\mu m]$	0,5	15	60	200
$W_{NMOS} [\mu m]$	0,5	1	20	66

transistores de potência demonstradas na figura 4.6. As duas ondas de comando à saída das cadeias de inversores, representadas no gráfico inferior da figura, a cheio para comando do PMOS e a tracejado para comando do NMOS, são resultantes da aplicação da onda do gráfico superior da figura.

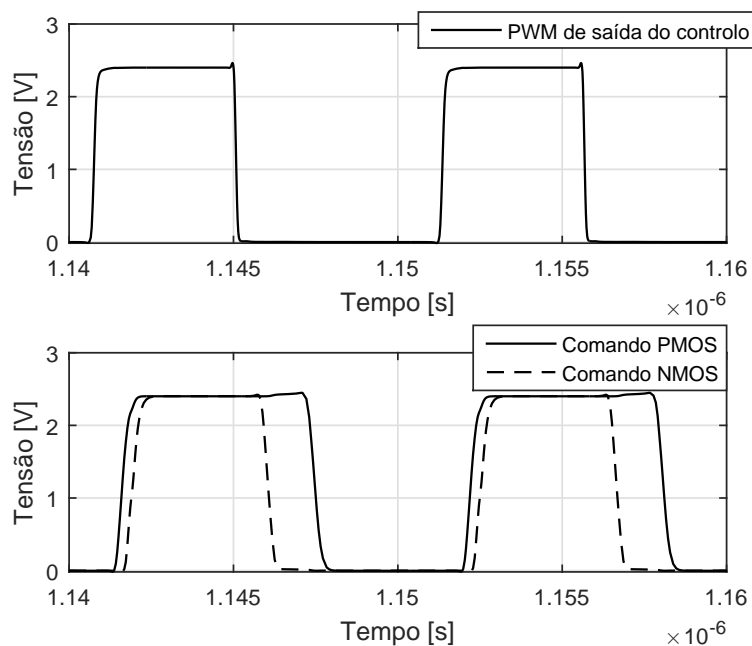


Figura 4.6: Ondas de comando dos transístores de potência.

4.2 Elementos constituintes do circuito de controlo

O controlo do conversor foi implementado com recurso a vários blocos comuns, como demonstra a figura 4.7. A tensão de saída do conversor é também entrada para o circuito de controlo. Esta tensão é aplicada na entrada de um integrador sem perdas, constituído por um amplificador do tipo *Operacional Transconductance Amplifier* (Amplificador Operacional de Transcondutância) (OTA). O integrador tem como tensão de referência a tensão desejada na saída do conversor, que é fornecida por um *bandgap*. O bloco de controlo é também composto por um comparador rápido, em que as suas entradas são a saída do integrador, e uma onda em forma de dente de serra com frequência fixa a 100MHz. Na saída do comparador resulta uma onda modulada por largura de impulso, que será a saída do bloco de controlo. O amplificador, o comparador rápido e o gerador de onda dente de serra necessitam ainda de correntes de referência que são geradas por outro bloco. Alguns destes blocos funcionais foram aproveitados da biblioteca disponível e desenvolvida pelo grupo de investigação onde este trabalho foi proposto. Os testes realizados e apresentados neste trabalho foram necessários devido a alterações efetuadas em alguns dos blocos e também por existirem tensões de alimentação diferentes.

Na figura 4.8 observam-se diagramas temporais associados ao funcionamento do bloco de controlo. Na parte superior da figura encontra-se a tensão de saída do conversor, que entra no bloco onde é comparada com a tensão de referência. No gráfico do centro mostra-se a tensão de saída do integrador e a tensão do gerador de onda dente de serra, sendo estas as entradas no comparador rápido. No gráfico, na parte inferior da figura, observa-se a onda resultante do controlo, onde se verifica uma variação da largura de impulso que, por sua vez, causa uma diminuição na tensão de saída do conversor. Este período corresponde a uma fase de arranque do circuito, antes de ser atingida a tensão nominal de

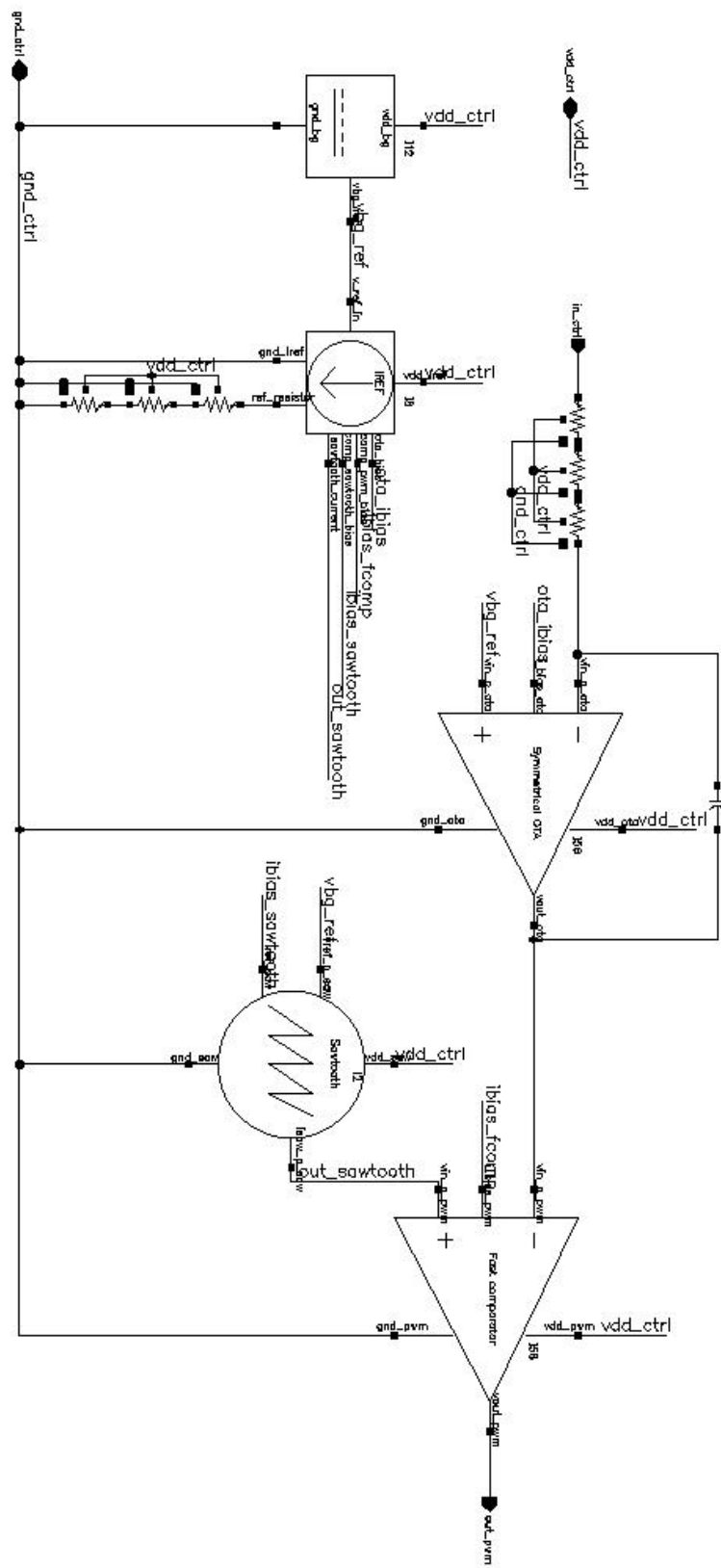


Figura 4.7: Esquema elétrico do controle utilizado no circuito.

saída.

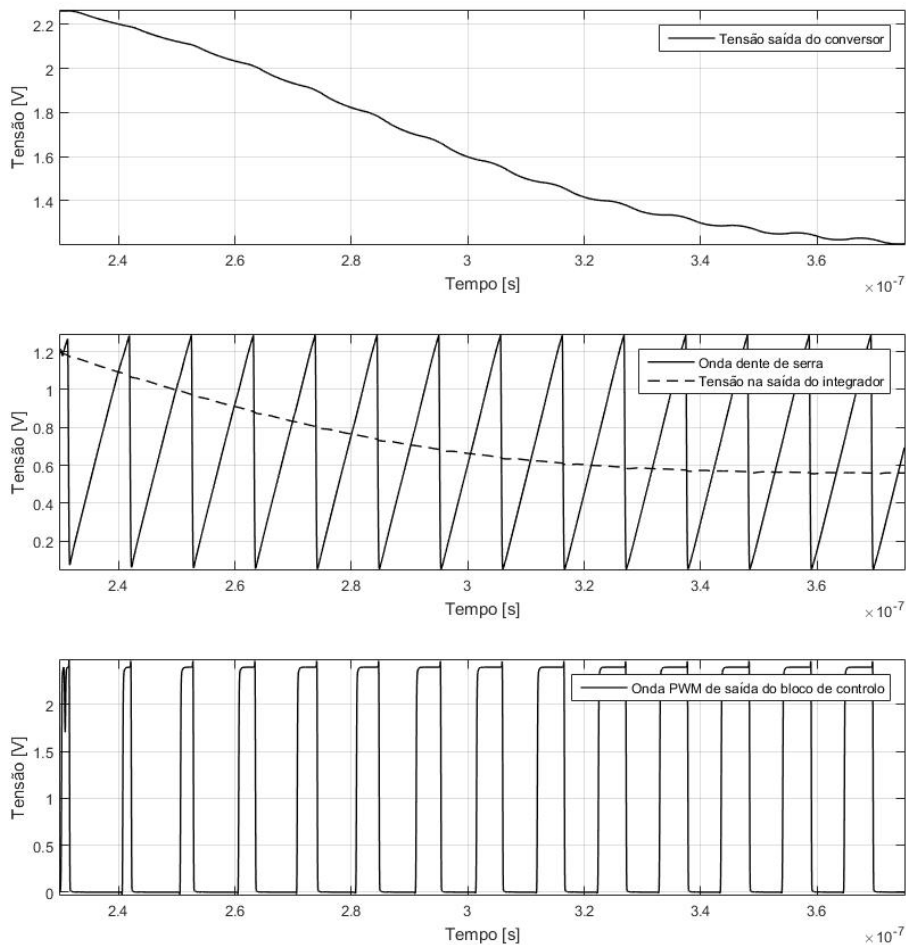


Figura 4.8: Diagramas correspondentes ao circuito de controlo implementado.

Ao longo das subsecções seguintes será feita uma caracterização de cada um dos blocos constituintes do circuito de controlo.

4.2.1 Tensão de referência - *bandgap*

É indispensável um circuito que forneça uma tensão de referência e que a mantenha constante em diversas condições de funcionamento. Uma das condições que pode afetar a tensão de referência dada por um certo circuito é a temperatura do mesmo. No caso da tensão de referência aumentar com o aumento da temperatura, diz-se que é *Proportional To Absolute Temperature* (Proporcional à temperatura Absoluta) (PTAT). Se a tensão diminuir com o aumento da temperatura, diz-se *Complementary To Absolute Temperature* (Complementar à temperatura Absoluta) (CTAT). Estas podem ser conjugadas, dando origem a uma referência pouco sensível à temperatura - *bandgap*, cujo o esquema elétrico utilizado para este trabalho está representado na figura 4.9.

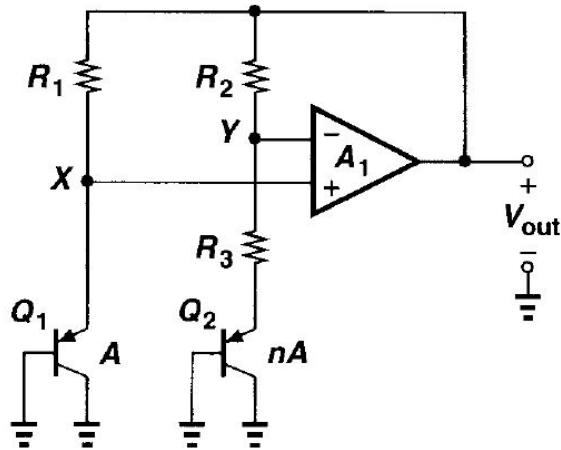


Figura 4.9: Esquema genérico do *bandgap* utilizado [18].

O amplificador operacional força os pontos *X* e *Y* aproximadamente à mesma tensão e como tal a mesma corrente nos dois ramos do *bandgap*. Por sua vez os TJBs (Transístores de Junção Bipolar) colocados numa relação de 1 para *N* e a resistência *R*₃ são responsáveis por impor uma ligeira diferença de tensão constante nas entradas do amplificador. Esta diferença é detetada pelo amplificador de dois estágios, em que o primeiro estágio é um amplificador em *folded-cascode*, com alto ganho e baixo consumo, e o segundo estágio é de fonte comum de modo a fornecer a corrente necessária ao núcleo do *bandgap* [20]. Na figura 4.10 está representado o circuito do *bandgap* após a sua implementação. Na parte inferior do esquema encontra-se um circuito de arranque, cuja função é injetar corrente no núcleo do *bandgap*, para que este alcance o ponto de operação desejado, não ficando estável em zero.

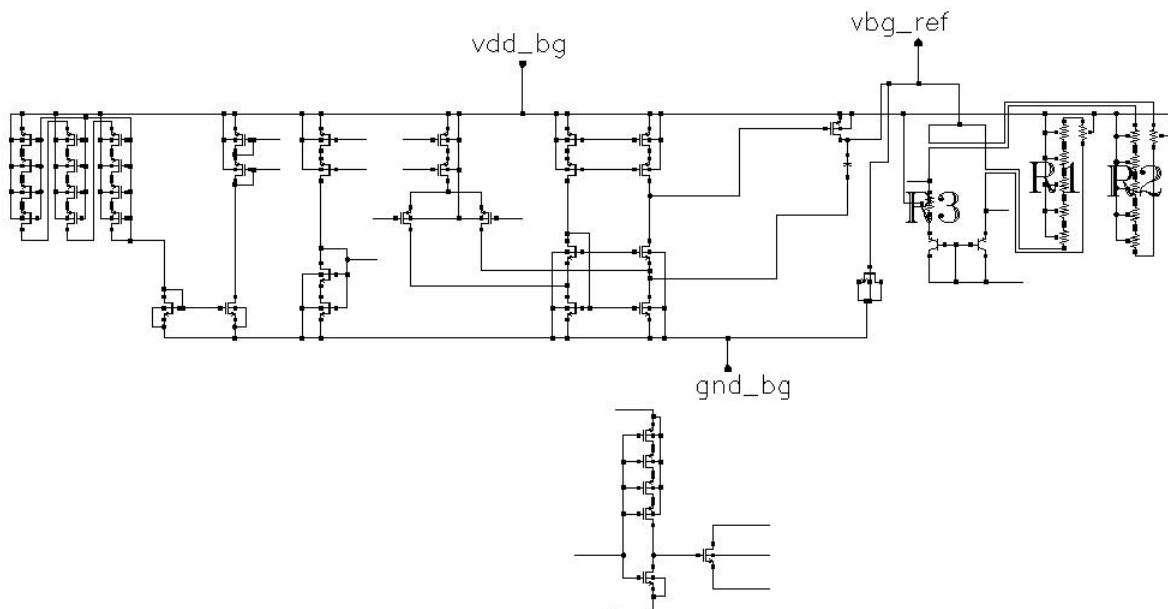


Figura 4.10: Esquema elétrico do *bandgap* implementado.

A figura 4.11 apresenta os resultados obtidos da simulação feita com o circuito do *bandgap* com uma variação na tensão de alimentação de 0 a 5V. Após análise do gráfico verifica-se que, para tensões

superiores a 1,25V, a tensão de referência atinge a estabilidade em 1,2V, cumprindo assim os objetivos.

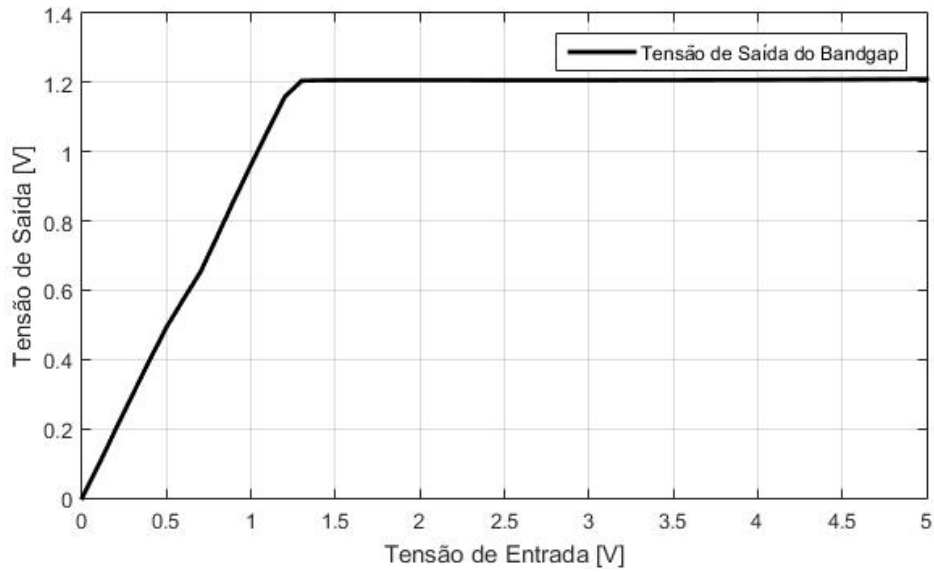


Figura 4.11: Tensão de referência fornecida pelo *bandgap* em função da tensão de entrada.

Na figura 4.12 é observada a tensão de referência em função da temperatura, com a temperatura a variar de -40 a 125°C.

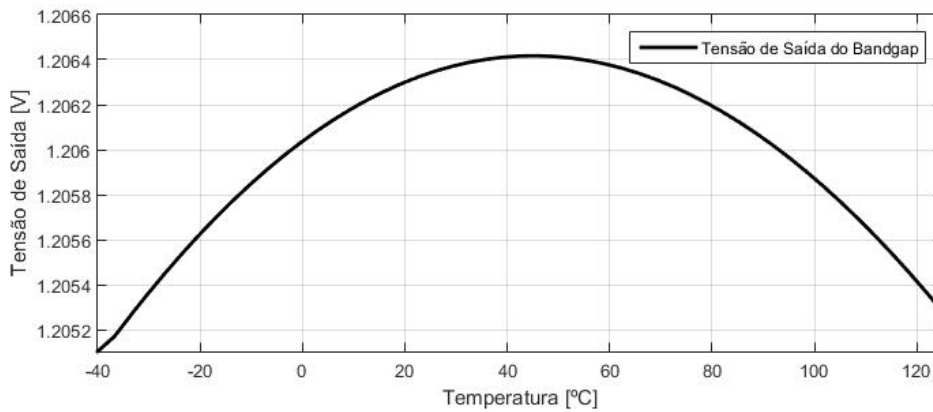


Figura 4.12: Tensão de referência fornecida pelo *bandgap* em função da temperatura.

Como se pode observar, a tensão forma uma curva como resultado da conjugação do CTAT com o PTAT, tendo assim um máximo próximo da temperatura nominal, 25°C.

Pode ser ainda calculada a dependência de temperatura do circuito através da seguinte equação [18]:

$$DT = \frac{V_{Ref,T_{max}} - V_{Ref,T_{min}}}{T_{max} - T_{min}} \cdot \frac{1}{V_{Ref,T_0}} = \frac{1,20528085 - 1,20510355}{125 - (-40)} \cdot \frac{1}{1,20634181} = 0,891ppm/C^\circ \quad (4.1)$$

4.2.2 Gerador de onda em dente de serra

O gerador de onda em dente de serra é um bloco fundamental para a obtenção de uma onda quadrada modelada em largura de impulso, como já foi demonstrado no capítulo anterior. O gerador utilizado tem como base a carga "lenta" e a descarga "instantânea" de um condensador. Tal como demonstra a figura 4.13, este bloco é incluí, além de um condensador, um comparador (descrito em 4.2.4) e um transistor com função de interruptor. O gerador necessita ainda de uma fonte de corrente, I_{REF} , e de uma tensão, V_H , externas ao bloco. A corrente I_{REF} é aplicada diretamente ao condensador C , que inicia a sua carga. Quando $v_C > V_H$, a saída do comparador é colocada a "1", entrando o transistor S_W em condução, que por vez descarrega o condensador. A onda dente de serra é obtida no terminal do condensador, como se observa na figura 4.13.

A corrente de carga do condensador, I_{REF} influencia diretamente a frequência de oscilação do gerador, pois para uma corrente mais alta, o tempo de carga diminui e, conseqüentemente, a frequência aumenta.

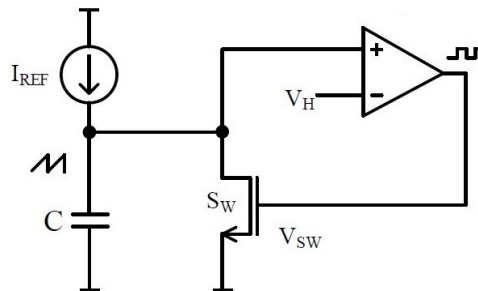


Figura 4.13: Esquema do gerador de onda dente de serra [21].

A figura 4.14 apresenta o circuito total do gerador já implementado em *Cadence*. Do lado direito da figura encontra-se o condensador e o transistor NMOS. Todo o restante, faz parte do comparador rápido que é também utilizado para modelação de largura de impulso apresentado na subsecção 4.2.4.

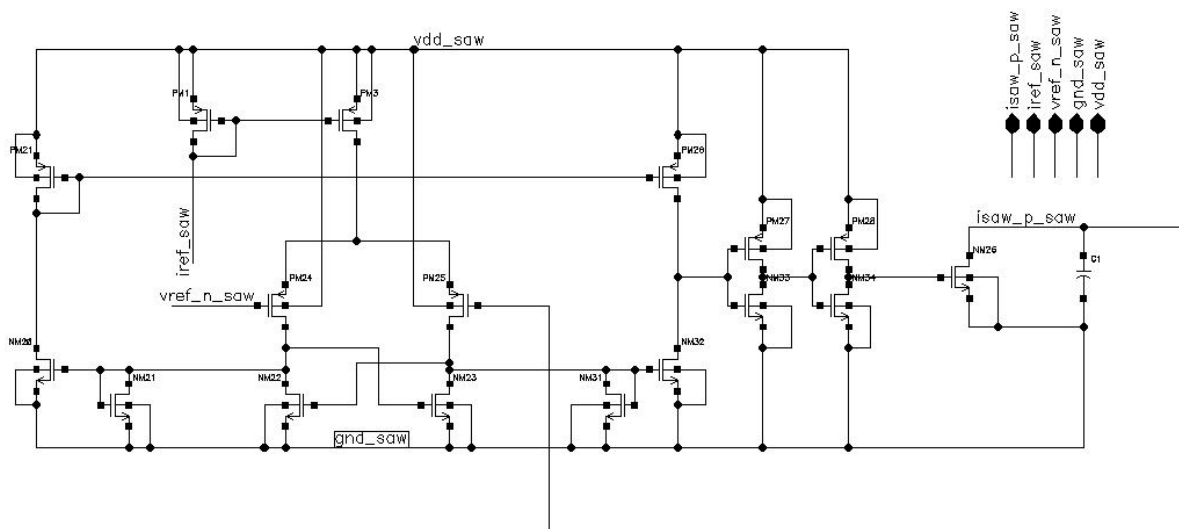


Figura 4.14: Esquema elétrico do gerador de onda dente de serra.

O condensador tem uma capacidade $C = 16,591fF$ e a corrente que lhe é aplicada é de $I_{REF} = 12,65\mu A$. A tensão de referência aplicada provém também do *bandgap*. Como se verifica no gráfico da figura 4.15, quando a tensão do condensador atinge a tensão fornecida pelo circuito de *bandgap*, dá-se um impulso na saída do comparador. Este impulso é suficiente para se dar a descarga do condensador.

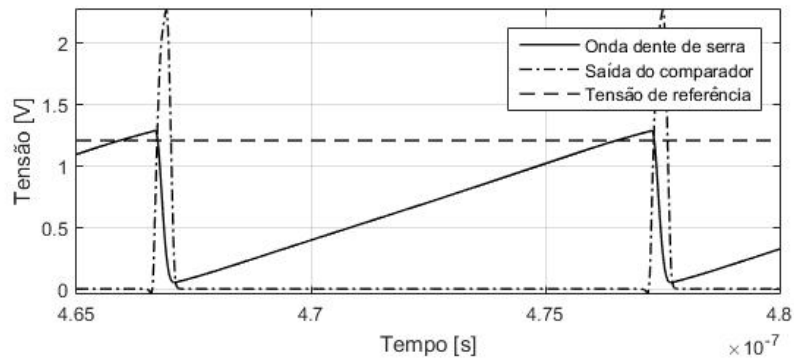


Figura 4.15: Ondas correspondentes ao funcionamento do gerador de onda dente de serra.

Ainda na análise do diagrama apresentado na figura 4.15, verifica-se que a onda dente de serra oscila com um período de 10,6ns, ou seja, a uma frequência de 94,34MHz e com uma amplitude de 1,23V.

4.2.3 Amplificador Operacional de Transcondutância

Como já referido, para implementar o integrador de erro foi utilizado um amplificador operacional de transcondutância, cujo esquema elétrico está apresentado na figura 4.16. Este amplificador difere do amplificador operacional básico, na medida em que é definido por ser um amplificador com todos os nós de baixa impedância, exceto os da entrada e da saída. O amplificador operacional de transcondutância apenas suporta cargas capacitivas. Se for colocada uma carga resistiva, o ganho do amplificador dependerá do valor da mesma, visto que a saída deste é feita em corrente [18].

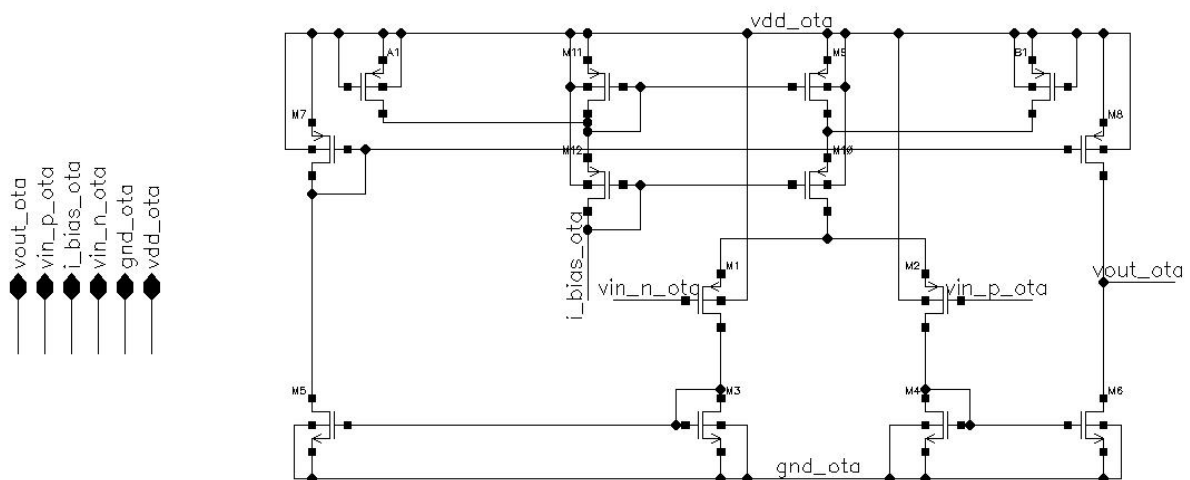


Figura 4.16: Esquema elétrico do Amplificador Operacional de Transcondutância.

Este amplificador é composto por um par diferencial e dois espelhos de corrente iguais, com uma

relação de 6 para 15, em que um espelha diretamente para a saída e outro espelha através de um terceiro espelho.

O amplificador operacional de transcondutância tem como vantagem uma maior largura de banda como se verifica na figura 4.17, onde se apresenta a resposta em frequência do mesmo.

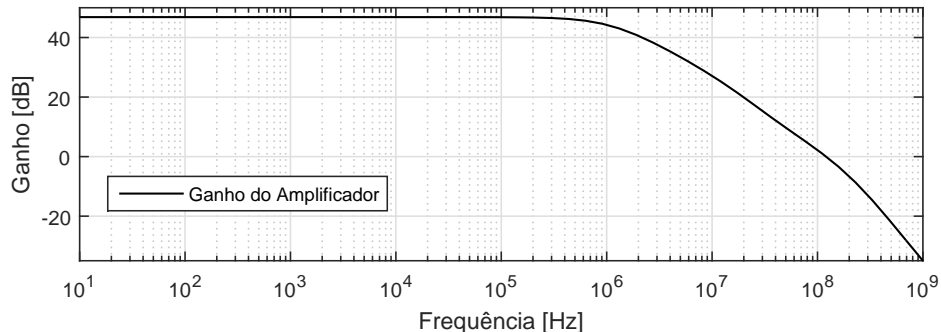


Figura 4.17: Diagramas de ganho do amplificador em malha aberta.

Estes resultados foram obtidos em malha aberta com uma carga capacitiva de 1pF na saída do amplificador. Observando a figura, este apresenta um ganho próximo de 47dB para baixas frequências e uma largura de banda próxima de 1MHz, não esquecendo que a mesma é influenciada pela carga na saída do amplificador. No entanto, o amplificador tem um ganho positivo numa largura de banda superior a 100MHz.

4.2.4 Comparador rápido

O comparador constitui um bloco essencial para o controlo, uma vez que é responsável pela modulação de largura de impulso das ondas de comando dos transístores de potência, sendo a sua saída coincidente com a saída do bloco de controlo.

Pretende-se um comparador mais próximo possível do ideal, como tal, um circuito digital em que a saída é "0" ou "1", consoante as tensões aplicadas aos seus terminais de entrada. Isto é, quando a tensão do terminal positivo é superior à do negativo, a saída é colocada a "1", correspondente à tensão de alimentação e vice-versa.

O bloco em questão está representado na figura 4.18 de onde se podem destacar três partes: pré amplificação, decisão e pós amplificação. A primeira parte é constituída por um par diferencial, onde são aplicadas as duas tensões de entrada, que fornece correntes por dois ramos diferentes ao circuito de decisão. Este é composto pelos quatro transístores mais abaixo no esquema. Por sua vez, o circuito de decisão aplica duas tensões com uma diferença bem definida ao par diferencial de saída. Por fim a tensão é aplicada a dois inversores de modo a obter na saída um valor digital.

Na figura 4.19 é observada a tensão de *offset* do comparador, isto é, aplicando uma referência no terminal de entrada negativo e fazendo-se variar a tensão do terminal positivo, observa-se a tensão de saída. Espera-se ver na saída uma transição de "0" para "1" quando a tensão de entrada ultrapassar a referência, no entanto, pode-se verificar que essa transição só ocorre um pouco acima da referência. A tensão de *offset* é então cerca de 7,1mV.

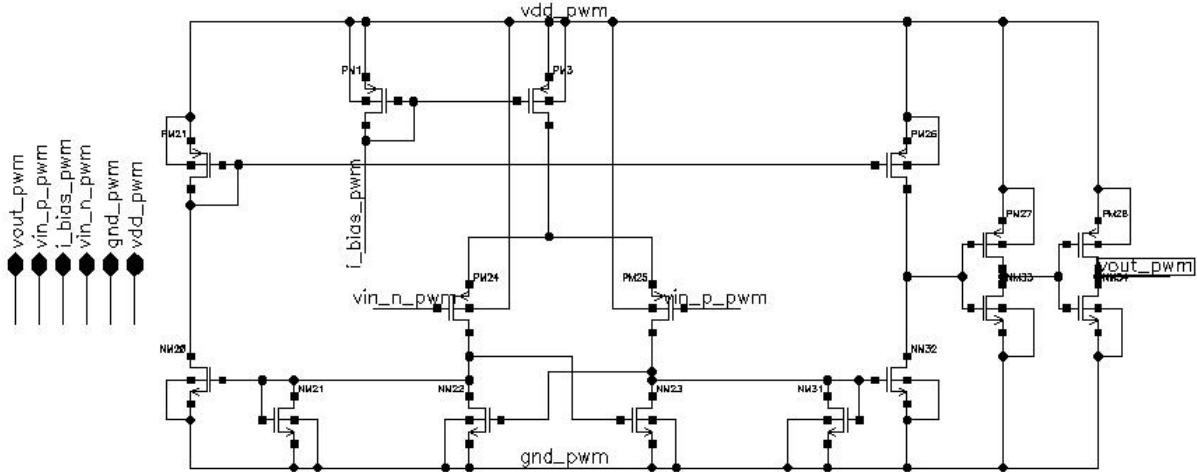


Figura 4.18: Esquema elétrico do Comparador Rápido.

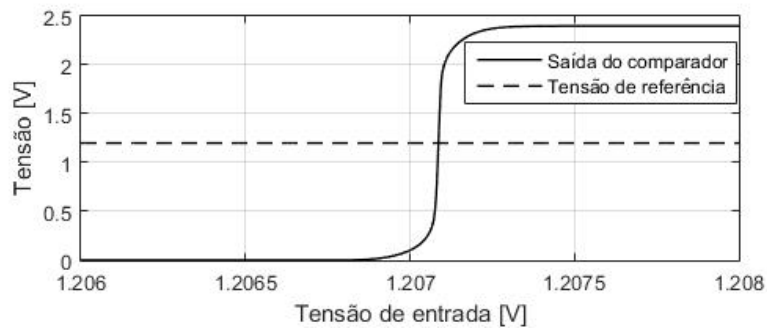


Figura 4.19: Tensão de *offset* do Comparador Rápido.

Como qualquer outro bloco, surge uma necessidade de se estudar o seu comportamento em frequência, no entanto, para este estudo considera-se a saída do comparador antes dos inversores. Esse estudo apresenta-se na figura 4.20.

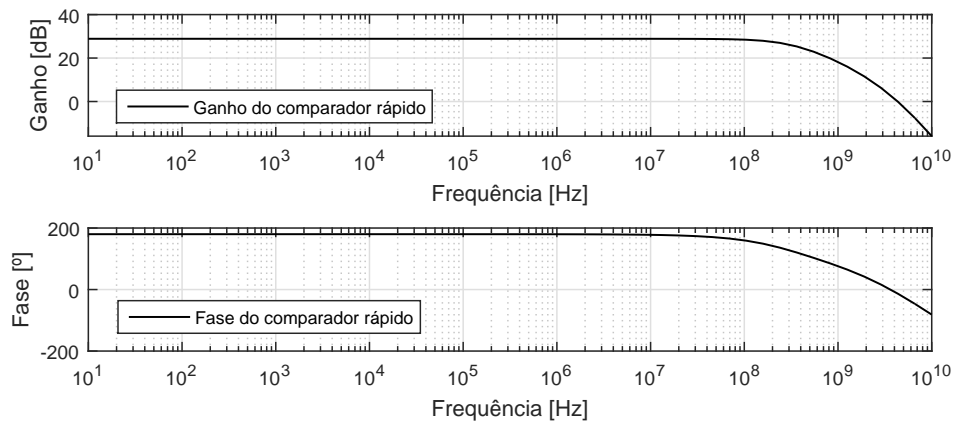


Figura 4.20: Resposta em frequência do Comparador Rápido.

Observando a figura 4.20, verifica-se que este tem um ganho de 29dB para baixas frequências e uma largura de banda superior a 100MHz. No entanto, o ganho em 1GHz ainda é superior a 15dB, não

esquecendo que o circuito total é constituído ainda por dois inversores. Como tal, a largura de banda deste comparador é suficiente para comutar à frequência pretendida.

Para comprovar que este tem um tempo de resposta suficientemente rápido para a comutação que se pretende para o conversor, foi-lhe aplicada uma onda quadrada na entrada com várias tensões de referência, para que se possa perceber o atraso, como demonstra a figura 4.21.

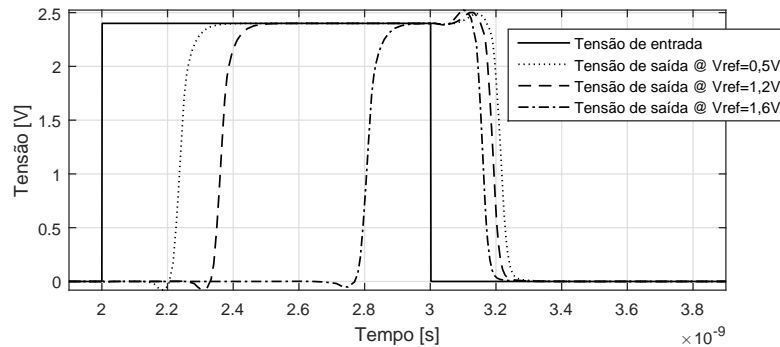


Figura 4.21: Tempo de resposta do comparador a um escalão.

Conclui-se que o tempo de atraso depende da tensão de referência aplicada pois, quanto maior for a diferença entre tensões de entrada, menor é o atraso de resposta do comparador. Para tensões de referência de 500mV, 1,2V e 1,6V obtiveram-se atrasos de 250, 365 e 841ps respetivamente. Sendo que a frequência de comutação tem um período de 10ns, os atrasos são perfeitamente aceitáveis.

4.2.5 Fonte de correntes de referência

Como tem vindo a ser referido, alguns dos blocos dependem de uma fonte de corrente. Essas correntes provêm todas de um bloco desenvolvido para o efeito. Este bloco tem como entrada uma tensão de referência que é fornecida pelo circuito de *bandgap*.

Na figura 4.22 consta o esquema elétrico do bloco utilizado. Na sua constituição tem-se um amplificador operacional de transcondutância, cuja função é colocar a tensão de referência, fornecida pelo *bandgap*, aos terminais de uma resistência, a qual é atravessada por uma corrente constante. Esta corrente é a referência que é espelhada, com um fator de 1:K (em que K representa a largura normalizada do transístor de saída de cada espelho), para 4 terminais de modo a satisfazer cada um dos blocos.

Pretende-se uma corrente de referência na resistência de cerca de $10\mu A$, para tal, é colocada uma resistência, externa ao bloco, de $120k\Omega$. Conforme a dimensão dos transístores a corrente espelhada para cada terminal, é de 1:1,8 para o amplificador operacional de transcondutância e para os comparadores rápidos, o que significa que é fornecida, a cada um destes blocos, cerca de $18\mu A$. A corrente para o gerador de onda em dente de serra é espelhado duas vezes, a primeira de 1:1,8 e a segunda de 1:0,68, sendo-lhe assim fornecida uma corrente próxima de $12\mu A$.

É ainda importante fazer-se uma análise à sensibilidade do bloco em questão. Para tal, fez-se uma simulação da corrente de referência em função da temperatura, a variar de -40 a $125^{\circ}C$, como se vê na figura 4.23. De acordo com esta figura, a corrente de referência à tensão nominal, $25^{\circ}C$, é de

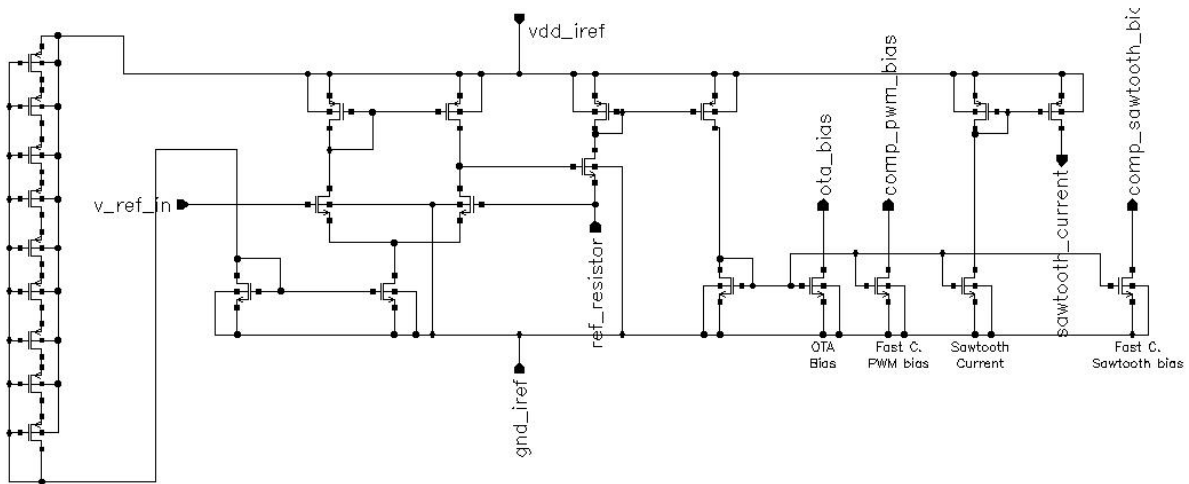


Figura 4.22: Esquema elétrico do gerador de correntes de referência.

$10\mu A$. Com a variação da temperatura, de -40 a $125^{\circ}C$, a corrente apresenta uma variação de $9,644$ a $10,427\mu A$. No circuito total esta poderá refletir na corrente a influência do circuito de *bandgap*, pois nesta simulação foi utilizada uma fonte ideal.

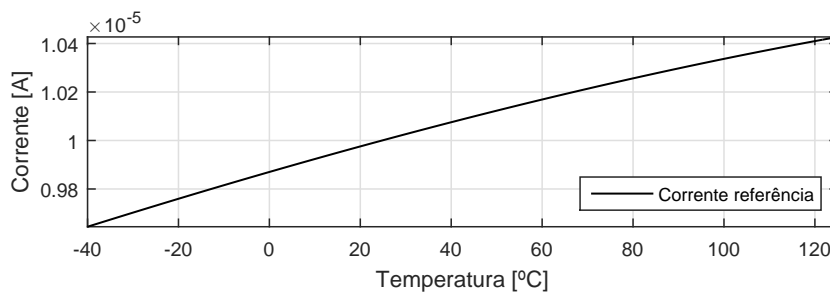


Figura 4.23: Corrente de referência em função da temperatura.

4.3 Conclusões

Ao longo das seções constituintes do presente capítulo foi feita uma descrição de cada bloco funcional utilizado na concretização do conversor. O bloco de potência foi dimensionado tendo em conta a resistência na condução e as capacidades parasitas dos MOSFET. Contabilizou-se ainda a potência perdida na comutação para vários tamanhos dos transístores, concluindo-se que a largura a utilizar seria $W_P = 1,7mm$ e $W_N = 600\mu m$. Também as cadeias de inversores de comando foram dimensionadas nesta fase, tendo em atenção a dimensão dos transístores de comutação do circuito de potência.

Relativamente ao bloco de controlo, todos os circuitos constituintes foram testados nas situações em que serão utilizados. Foram ainda feitas alterações na fonte de corrente e no gerador de onda em dente de serra por forma a diminuir a frequência de comutação (para 100MHz), face ao circuito para o qual estavam dimensionados (500MHz). Finalmente, o bloco de controlo foi testado em conjunto com o circuito de potência, validando-se o seu correto funcionamento.

Capítulo 5

Resultados e Planta do Circuito

Neste capítulo é feita a junção de todos os blocos funcionais e procede-se à simulação dos mesmos. As simulações efetuadas incluem *corners* de temperatura e de velocidade associada ao processo de fabrico (*slow*, *typical* e *fast*) para o tipo de transístores utilizados.

Após a validação do circuito como um bloco único em esquema elétrico, é apresentada a sua planta, da qual é extraído um circuito que contém todas as capacidades parasitas provenientes da planta. Ainda neste capítulo serão apresentados os resultados das simulações aplicadas a este circuito extraído.

5.1 Resultados em esquema elétrico

Após a apresentação do circuito completo importa apresentar as suas características de funcionamento através dos resultados de simulações efetuadas. Estes resultados consistem em diagramas temporais de tensões e correntes em diversos nós do circuito e, principalmente nos consumos do circuito total e de cada bloco.

5.1.1 Circuito sem acesso ao exterior

O circuito é projetado e testado no seu ideal, sendo-lhe acrescentadas as não idealidades gradualmente. Nesta fase o circuito é testado como um todo mas inacessível externamente, pois as ligações ao exterior implicam uma impedância associada ao *wire bonding*, de cerca de 1nH/mm, que só será contabilizada na secção seguinte. Na figura 5.1 está representada a montagem correspondente ao teste do conversor total, sem qualquer elemento ideal, cujos resultados são apresentados na figura 5.2.

Analisando os diagramas da figura 5.2, confirma-se o correto funcionamento do conversor, uma vez que as curvas obtidas se assemelham às curvas teóricas estudadas no capítulo 2. No primeiro gráfico da imagem, encontram-se as ondas de comando dos transístores de comutação que oscilam sincronizadamente entre 0 e 2,4V. No segundo está representada a tensão no nó comum aos transístores de comutação, no qual se verifica uma ligeira diferença em comparação com o funcionamento teórico. Nos pontos em que a corrente na bobina (terceiro gráfico) é máxima, a tensão desvia-se dos valores esperados, abaixo de 2,4V quando o transístor PMOS conduz e abaixo de 0V quando NMOS conduz.

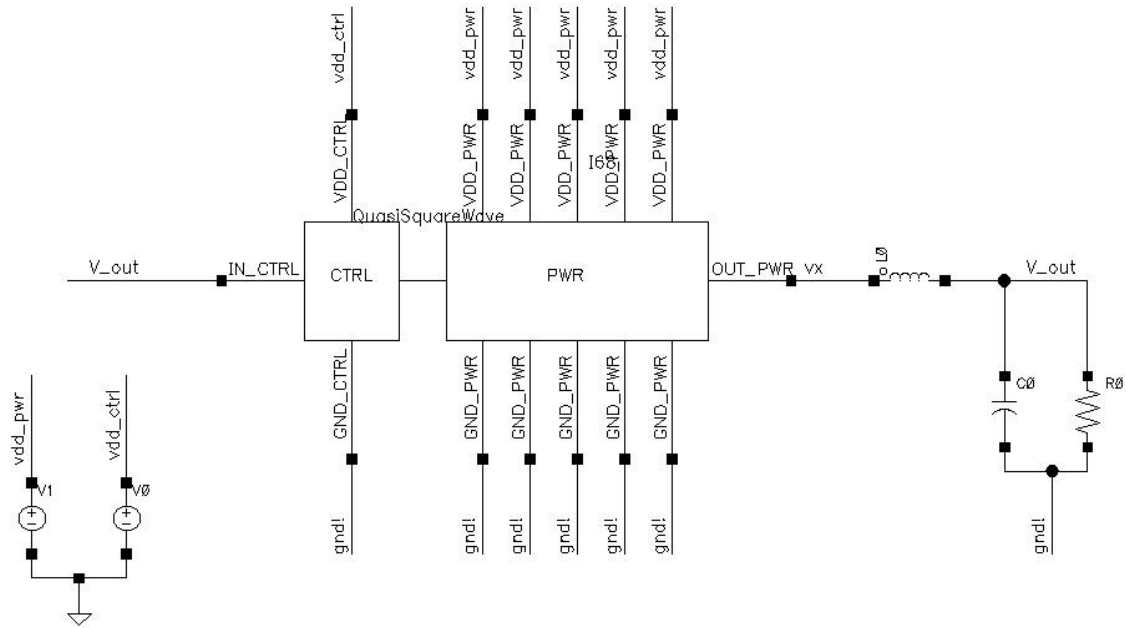


Figura 5.1: Esquema elétrico para teste do conversor a funcionar sem elementos ideais.

Isto deve-se à resistência de condução de cada transístor. A corrente na bobina varia aproximadamente entre -20 e 70mA. O último gráfico apresenta a tensão de saída do conversor que oscila entre 1,205 e 1,22V, ou seja com $\Delta V_O = 15mV$ (1,25%). A tabela 5.1 mostra o consumo detalhado de todos os blocos do conversor.

Tabela 5.1: Consumo detalhado do conversor.

Bloco	Potência consumida
Fonte de corrente	145,9 μW
Bandgap	34,23 μW
Gerador Dente de Serra	562,6 μW
Comparador	992,1 μW
OTA	1,616mW
Cadeia Inversores PMOS	2,407mW
Cadeia Inversores NMOS	892,5 μW
PMOS	1,835mW
NMOS	1,445mW

Observando a tabela verifica-se um maior consumo por parte dos elementos do circuito de potência. De notar, em particular, na cadeia de inversores de comando do transístor PMOS, que tem o consumo mais elevado devido às dimensões do mesmo, como já demonstrado anteriormente. No total o circuito apresenta um consumo $P_{IN} = 39,261mW$ (35,91mW para o circuito de potência e 3,351mW para o circuito de controlo) e fornece à carga $P_{OUT} = 29,36mW$. Tem-se então o rendimento, ρ , calculado por:

$$\rho = \frac{P_{OUT}}{P_{IN}} = 74,78\% \quad (5.1)$$

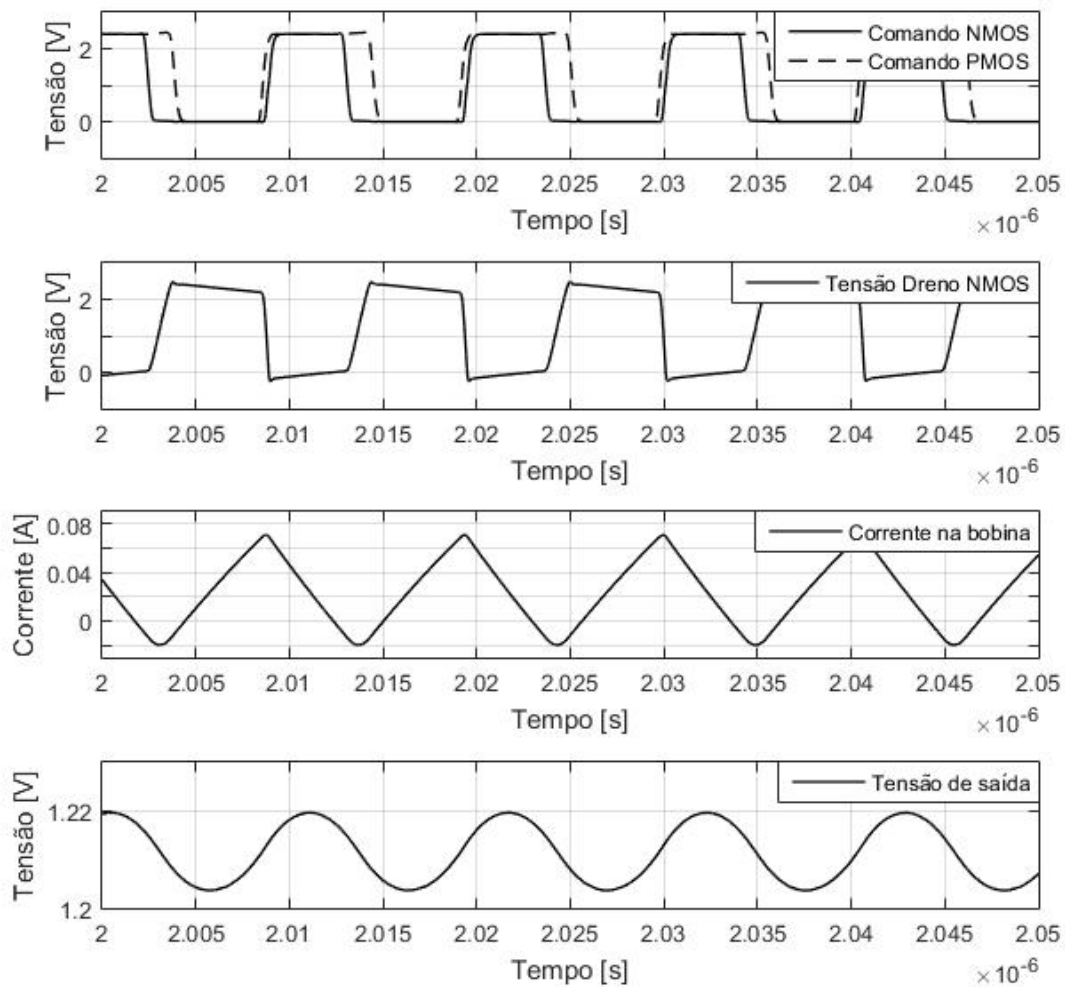


Figura 5.2: Resultados da simulação do conversor: Diagramas temporais e grandezas elétricas.

5.1.2 Circuito com acesso para exterior

Como referido da secção anterior, a ligação do circuito integrado a outros elementos não integrados, tem impedâncias associadas. Para teste considera-se que a impedância associada a cada ligação é cerca de 3nH, o que pode por em causa o funcionamento do circuito. Torna-se assim necessária a ligação ao mesmo nó em vários pontos, o que se traduz em várias impedâncias em paralelo, que, no total, representam uma impedância menor. Após a realização de diversos testes, verificam-se quais os nós que necessitam de múltiplas ligações de modo a diminuir a impedância total de ligação ao nó. Como se verifica através da figura 5.3, são necessários cinco pontos para alimentação e cinco para *ground* (nó de referência do circuito) do bloco de potência, para obter um funcionamento próximo do regular do conversor.

Na figura 5.4 podem ser observados os gráficos que, à semelhança dos gráficos da figura 5.2, validam o correto funcionamento do conversor, sendo que nestes resultados já são incluídas as impedâncias que

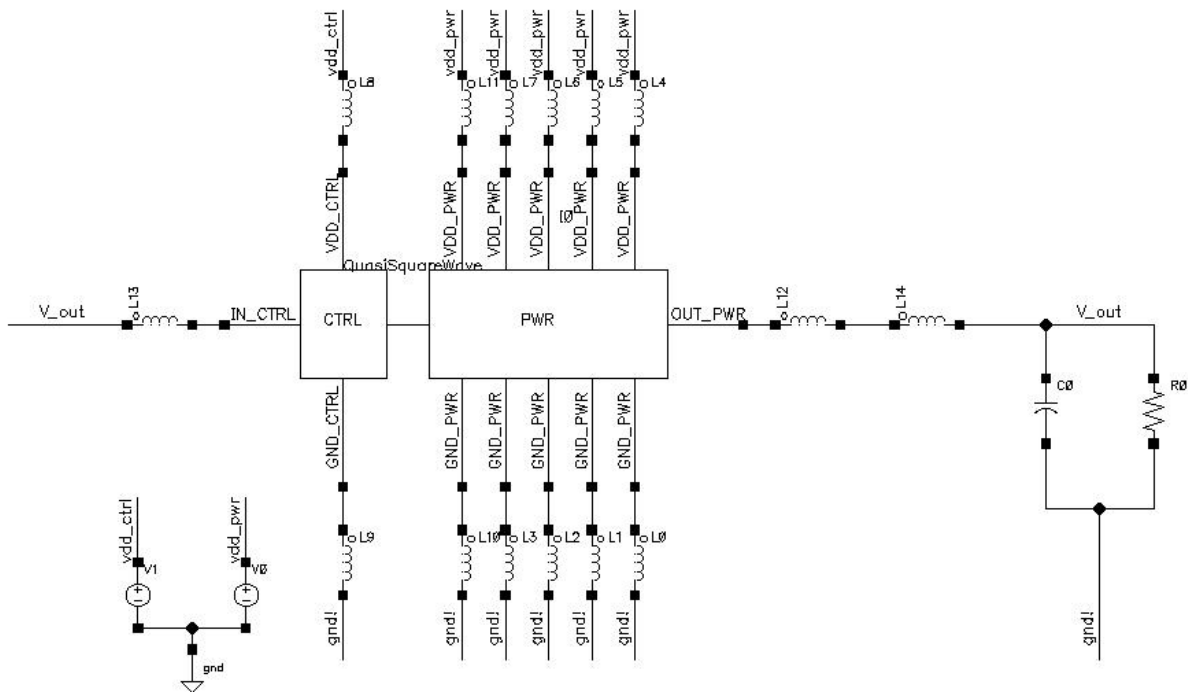


Figura 5.3: Esquema do conversor QSW-ZVS usado para teste com impedâncias.

conferem um acesso ao exterior. Como se verifica, os diagramas mais afetados são os referentes ao comando dos transístores e a de tensão no dreno do NMOS. Apesar de se notarem algumas oscilações, não se torna vantajoso acrescentar mais pontos de ligação pois, como será demonstrado na secção 5.2, estes pontos denominados de PADs, aumentam significativamente a área do conversor.

Analisando as potências consumidas pelos vários blocos do circuito, presentes na tabela 5.2, verifica-se que não existem diferenças significativas em relação à colocação das impedâncias.

Tabela 5.2: Consumo detalhado do conversor com acesso exterior.

Bloco	Potência consumida
Fonte de corrente	145,7 μ W
Bandgap	34,17 μ W
Gerador Dente de Serra	561,8 μ W
Comparador	986,0 μ W
OTA	1,616mW
Cadeia Inversores PMOS	2,455mW
Cadeia Inversores NMOS	907,7 μ W
PMOS	2,171mW
NMOS	1,651mW

Para o cálculo do rendimento, com recurso à equação 5.1, tem-se que $P_{IN} = 40,32mW$ (36,98mW para o circuito de potência e 3,343mW para o circuito de controlo) e $P_{OUT} = 29,27mW$, o que confere um rendimento de 72,84%, registando-se assim uma descida de aproximadamente 2%.

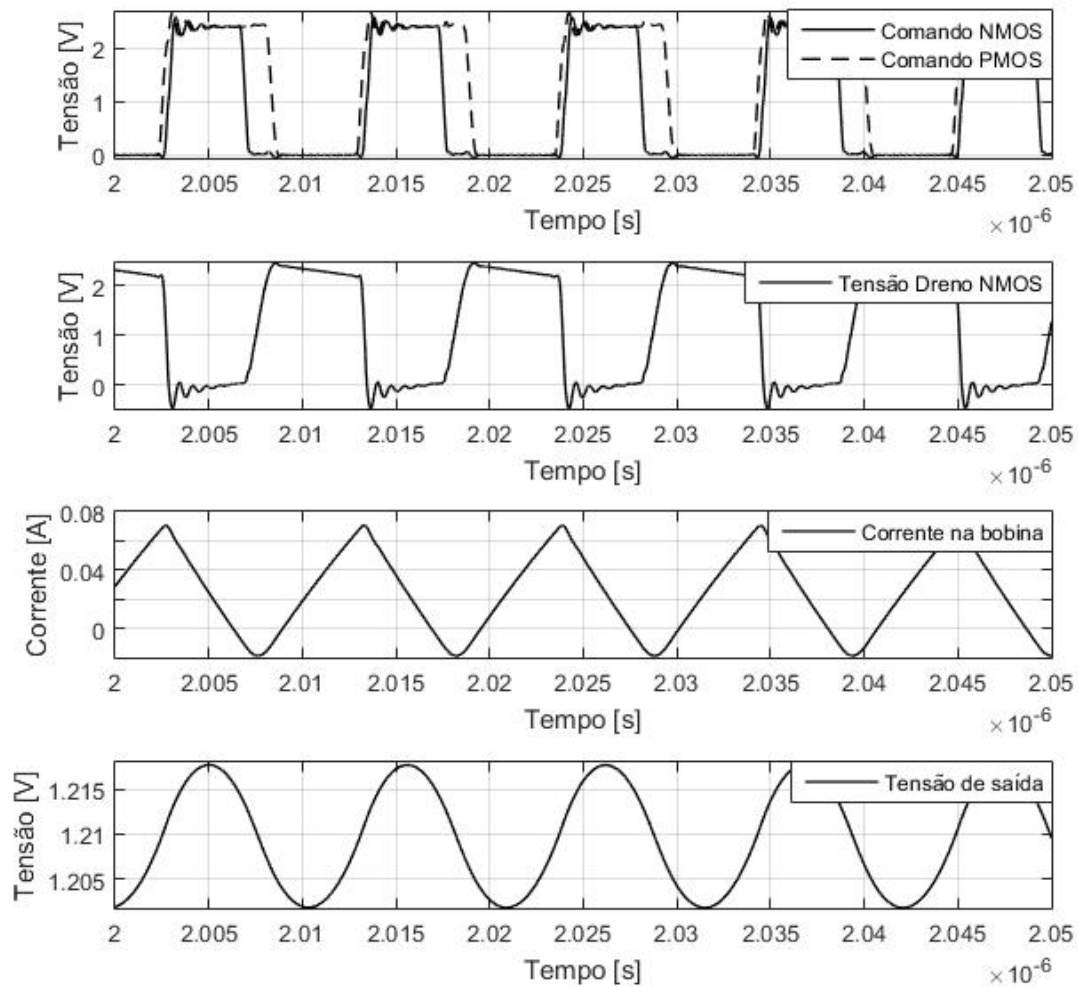


Figura 5.4: Resultados da simulação do conversor com impedâncias de acesso ao exterior.

5.1.3 Exposição do circuito a condições extremas - *corners*

Com o circuito completo e validado para condições ideais e à temperatura ambiente, é necessário expô-lo a condições extremas, tanto de temperatura como de condições de fabrico do processo. Como tal, são feitas nove simulações que resultam da conjugação de três temperaturas (-40, 25, e 125°C) e três velocidades dos transístores (*fast*, *typical* e *slow*) resultantes do processo de fabrico dos mesmos. A simulação de *corners*, como é denominada, tem como objetivo encontrar as limitações de um circuito eletrónico. Cada *corner* é analisado de forma a perceber se o funcionamento do circuito se afasta demasiado do funcionamento regular e se põe em causa a sua finalidade.

Na figura 5.5, estão representadas as tensões de saída do conversor em fase de arranque para cada um dos *corners* simulados. Verifica-se que existe uma diferença significativa entre as nove curvas no arranque, no entanto todas convergem para a tensão de saída pretendida.

Claramente, a curva que causa maior preocupação é a curva correspondente aos transístores em

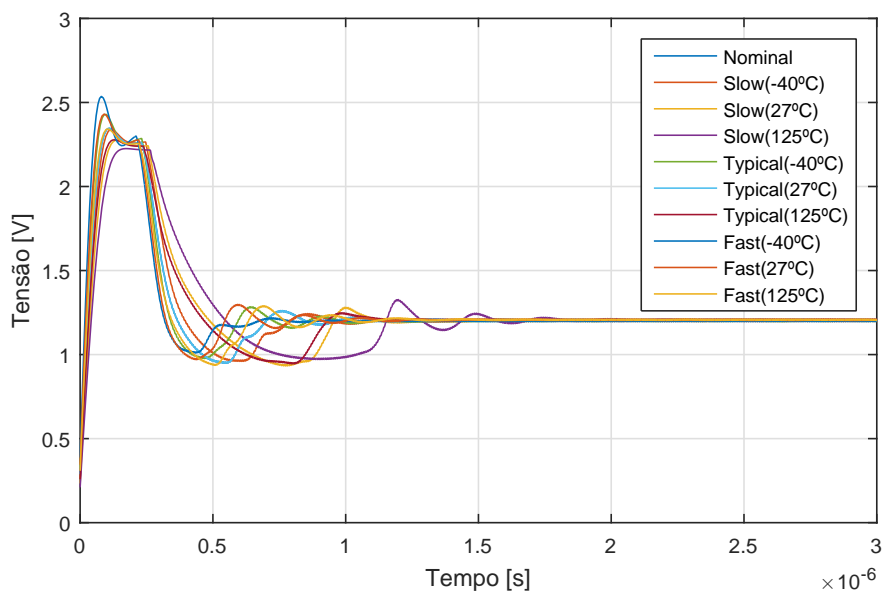


Figura 5.5: Tensão de saída do conversor para os nove *corners*.

modo *slow* com a temperatura de 125°C. Esta demora mais tempo a atingir a estabilidade em 1,2V. Contudo, a tensão encontra-se acima do pretendido apenas 600ns, mantendo-se abaixo de 1,2V no restante tempo que demora a estabilizar, deixando desta forma de se tornar preocupante para o funcionamento do conversor. Através da figura 5.6, podem ser observadas as mesmas curvas com maior detalhe após atingirem a estabilidade. Pode-se verificar que estas se encontram todas próximas de 1,2V, apresentando uma divergência máxima inferior a 1%.

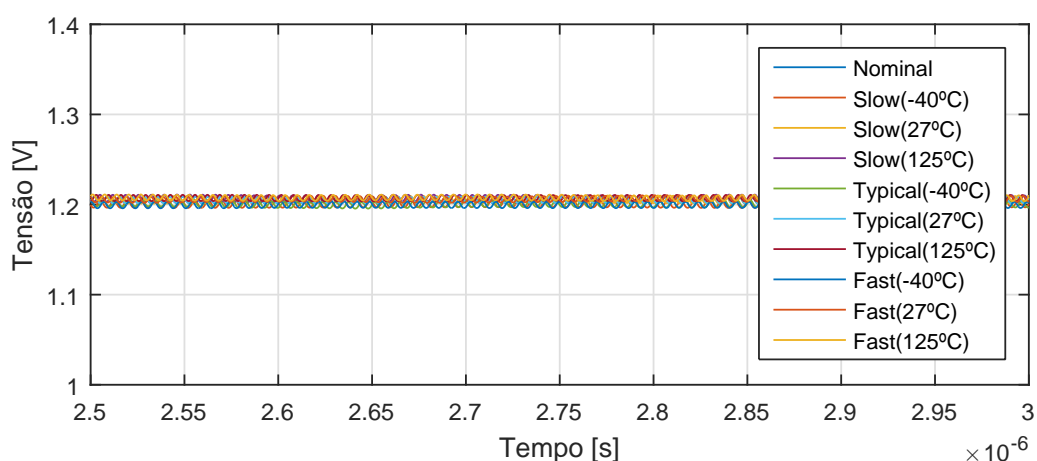


Figura 5.6: Tensão de saída do conversor para os nove *corners* em regime permanente.

Tendo em conta os resultados obtidos, considera-se o circuito válido para todos os *corners*, pois nenhum dos resultados põe em causa o correto funcionamento do conversor.

5.1.4 Variação da carga de saída

Como já referido ao longo do trabalho, este conversor está projetado para funcionar com uma resistência fixa de 50 Ohms, no entanto, apesar de diminuir o seu rendimento, este garante uma saída de 1,2V. Após vários testes constata-se que o conversor para uma resistência de 40 Ohms, deixa de funcionar como QSW-ZVS, devido às limitações apresentadas no controlo implementado, no entanto, o rendimento deste aumenta para 74,95%. Este facto deve-se a um aumento da potência transferida, sendo que a potência consumida pelo conversor não se altera significativamente, resultando num aumento do rendimento. Apesar de deixar de funcionar com comutação suave, o conversor garante a tensão pretendida na saída até à resistência mínima de 7 Ohms. No gráfico da figura 5.7 observa-se os rendimentos obtidos para a gama de cargas suportadas pelo conversor. Não foi estabelecido um limite superior para a carga de saída, contudo, pelo rendimento apresentado na tabela, verifica-se que, para valores mais altos, o rendimento se torna inaceitável. Quanto à comutação suave começa a ser perdida quando ultrapassa os 60 Ohms.

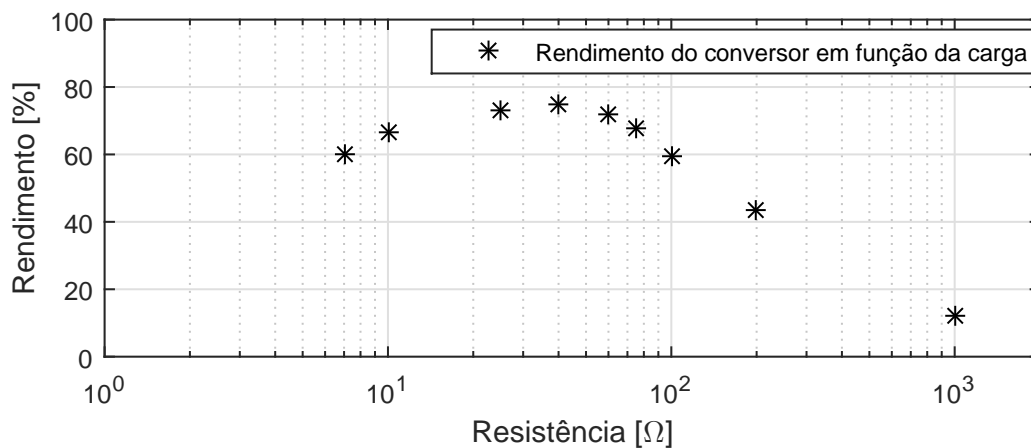


Figura 5.7: Rendimento do conversor em função da resistência de saída.

A figura 5.8 demonstra a capacidade do conversor para responder a uma alteração brusca na carga de saída. A carga utilizada varia entre 25 e 75 Ohms. Na simulação, a carga inicial é de 25Ω, sofrendo uma alteração brusca aos 2μs para 75Ω. No instante de 4μs, a carga é restabelecida para 25Ω.

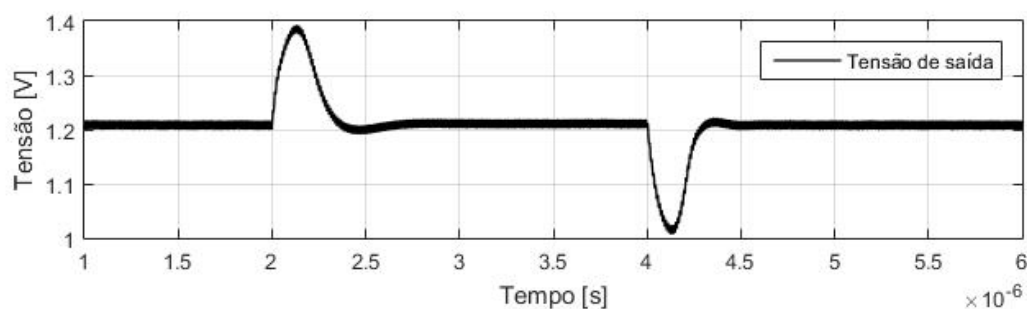


Figura 5.8: Variação da tensão de saída do conversor em resposta a uma alteração brusca na carga.

Da análise ao gráfico verifica-se que o conversor volta a estabilizar a tensão de saída em menos de 500ns.

5.1.5 Variação da tensão de alimentação

À semelhança da carga de saída, a alimentação é também um fator que pode sofrer alterações, contribuindo para a tensão na saída do conversor. Na figura 5.9 é possível analisar a resposta da saída do conversor, quando este é alimentado por um escalão de tensão. A tensão de alimentação, no instante 500ns, transita de 0 para 2,4V em 1ns. A partir do mesmo instante, a saída do conversor inicia a subida atingindo valores superiores ao desejado durante cerca de 250ns até estabilizar na tensão pretendida na saída do mesmo. No total, o conversor demora cerca de 500ns até ter a sua saída estabilizada.

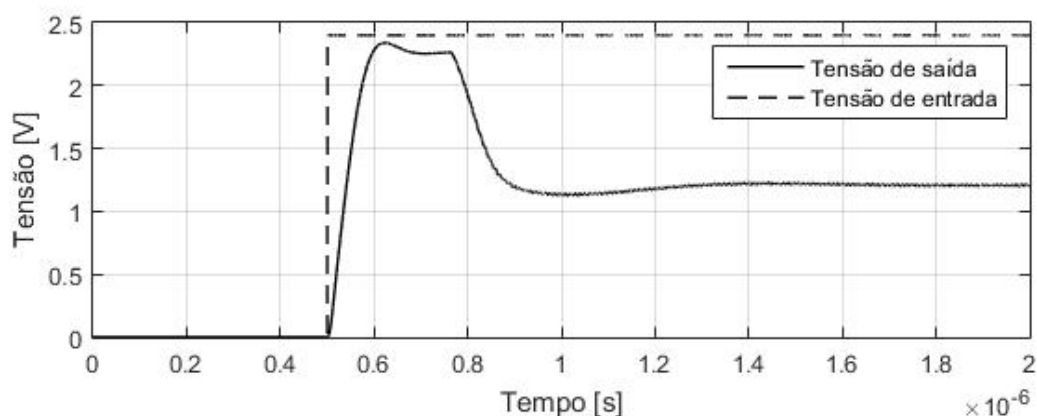


Figura 5.9: Resposta do conversor ao escalão na entrada.

Embora a situação ideal seja manter uma alimentação constante de 2,4V no circuito, o diagrama da figura 5.10 mostra que o conversor tem capacidade para garantir a saída de 1,2V para uma gama de tensões de alimentação que varia entre 1,5 e 4V. Esta gama não se torna viável nos extremos visto que o funcionamento do circuito se afasta do funcionamento QSW, e apresenta rendimentos baixos nestas situações. É necessário ter ainda em atenção que os transístores utilizados suportam uma tensão máxima de 3,3V, logo não seria possível aplicar uma tensão superior a 3,3V na alimentação do conversor.

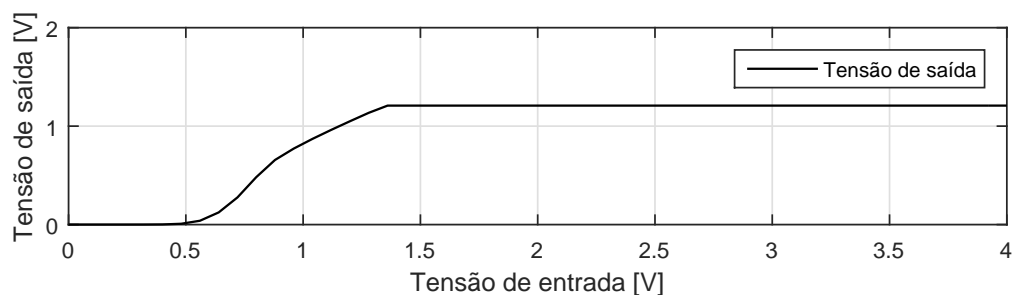


Figura 5.10: Tensão de saída em função da tensão de entrada.

5.1.6 Conversor de comutação abrupta

O circuito que se veio a analisar é distinguido pelo seu funcionamento com comutação suave no zero de tensão. Este tipo de comutação é responsável por eliminar perdas inerentes à condução dos transístores na região de tródo, existentes na comutação abrupta. Como tal, interessa neste trabalho a sua comparação direta. Para o efeito, considerou-se os mesmos transístores de comutação e o mesmo bloco de controlo, retirou-se o condensador de ressonância, ajustou-se a bobina de filtragem (equivalente a retirar-se a bobina de ressonância do QSW-ZVS) e adaptou-se a cadeia de comando dos transístores de comutação. Deste modo, o circuito passa a funcionar como um conversor *Buck* de comutação abrupta, com os transístores a conduzirem complementarmente entre eles, tal como se verifica na figura 5.11.

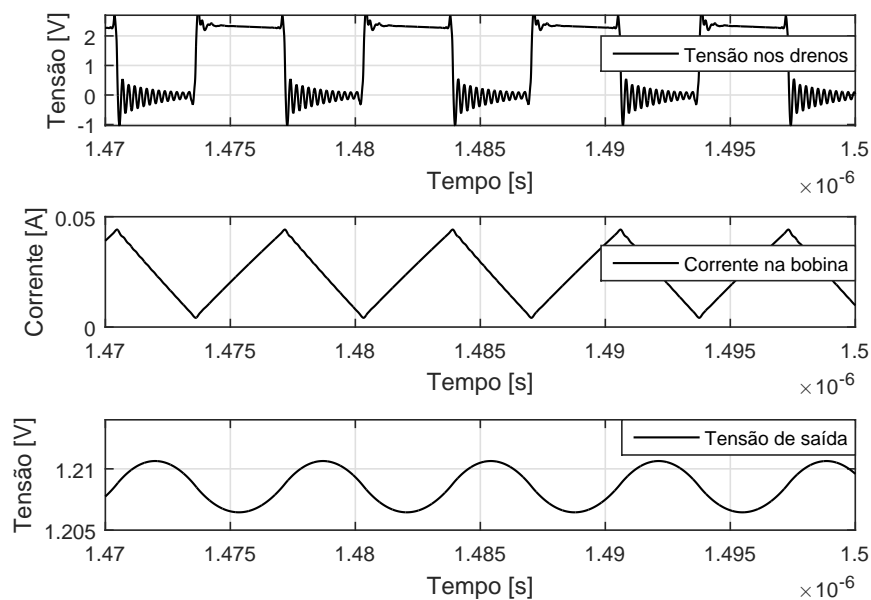


Figura 5.11: Resultados do conversor a funcionar em comutação abrupta.

No primeiro gráfico da imagem, é de notar a diferença deste diagrama temporal em relação ao diagrama do segundo gráfico da figura 5.4. Esta marca a diferença entre a comutação abrupta e a comutação suave, isto é, neste caso a tensão no nó comum aos dois transístores, tem transições com maior declive por ser forçada pela comutação dos transístores. No Conversor QSW-ZVS, esta transição é feita com a carga, na descida, e com a descarga, na subida, do condensador de ressonância. Também neste conversor se nota que durante a condução dos transístores o diagrama temporal não é constante, que à semelhança do QSW, deve-se à resistência de condução dos transístores. Estes apresentam uma queda de tensão proporcional à corrente. A tabela 5.3 refere os consumos do conversor de comutação abrupta resultante da remoção do condensador ressonante.

É de notar a diferença de potência consumida pelos transístores neste conversor quando comparada com a do conversor QSW-ZVS desenvolvido. Apesar de este não estar devidamente otimizado, verifica-se um aumento das perdas nos transístores. No total, este conversor tem uma potência de entrada de

Tabela 5.3: Consumo detalhado do conversor em comutação abrupta.

Bloco	Potência consumida
Cadeia Inversores de Comando	7,712mW
PMOS	2,466mW
NMOS	1,915mW

44,24mW e fornece à carga uma potência de 29,21mW, através das quais se obtém um rendimento de 66%, cerca de 7% mais baixo relativamente ao conversor desenvolvido.

5.2 Planta do Circuito

A planta do circuito é a etapa final do projeto do circuito integrado, sendo esta a fase em que o circuito é sujeito aos últimos testes, antes da sua fabricação. Esta planta é feita com recurso à ferramenta *Cadence*, à semelhança de todo o esquema e simulações apresentadas anteriormente. Esta ferramenta permite desenhar o circuito tal como ele será processado em tecnologia CMOS. Permite ainda validar o projeto conforme as regras inerentes à tecnologia e a sua comparação com o esquema do circuito. Na figura 5.12 (Ver anexo A.7) pode ser observada a planta de todo o conversor, com os vários blocos constituintes numerados:

1. *Bandgap* (Ver anexo A.1)
2. Amplificador Operacional de Transcondutância (Ver anexo A.2)
3. Comparador rápido (Ver anexo A.3)
4. Gerador de onda dente de serra (Ver anexo A.4)
5. Fonte de correntes de referência (Ver anexo A.5)
6. Bloco de potência (Ver anexo A.6)

Em volta dos blocos numerados, encontra-se um total de catorze PADs para acesso externo ao circuito. O conversor no seu total apresenta um comprimento de 736,35 μm por uma largura de 461,93 μm , o que representa uma área de 0,3401mm² (0,1363mm² sem os PADs).

5.3 Resultados do circuito extraído do conversor QSW-ZVS

A ferramenta *Cadence* permite ainda a extração do circuito a partir da planta do mesmo, incluindo assim todas as não idealidades do circuito. O circuito resultante apresenta as capacidades parasitas, que resultam das ligações entre os vários componentes. Nas simulações do esquema elétrico todas as ligações são ideais e, quando extraídas da planta do circuito, podem apresentar capacidades parasitas, resultantes da proximidade de outro metal de ligação ou de junção. Quando simulado, o circuito

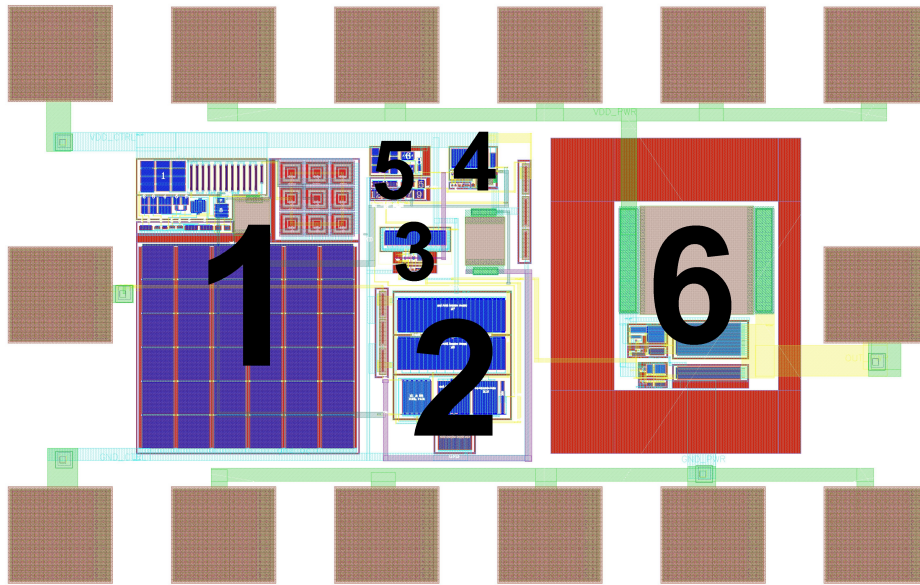


Figura 5.12: Planta do conversor.

extraído, apresenta algumas divergências no seu funcionamento. A mais notável é a frequência de oscilação do gerador de onda dente de serra, que baixou significativamente. Como tal, para voltar a obter um funcionamento regular, os componentes de ressonância têm de ser ajustados. A bobina foi alterada para 101nH, o que permitiu obter os diagramas da figura 5.13.

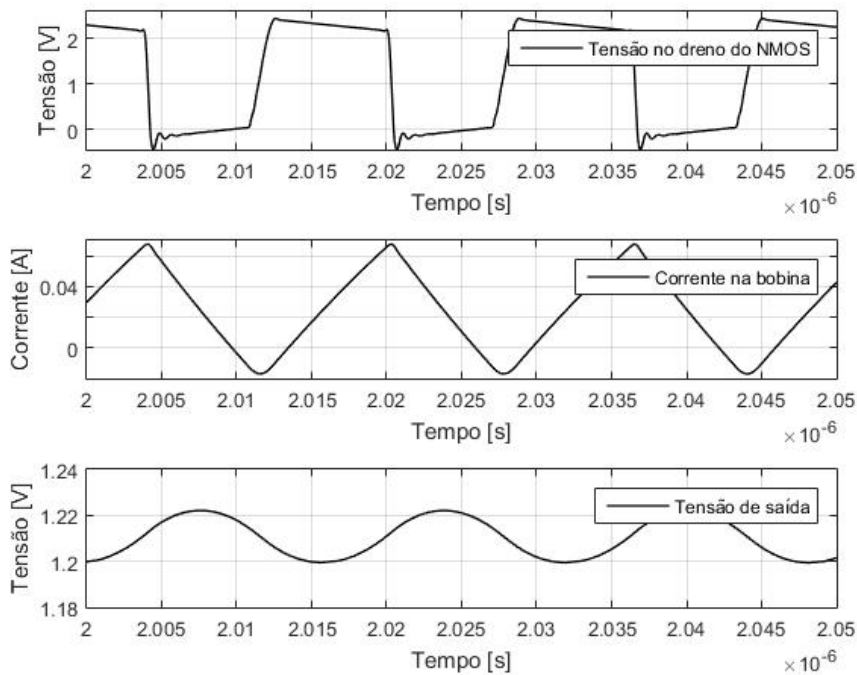


Figura 5.13: Resultados do circuito extraído da planta.

Os resultados obtidos do circuito extraído, ao contrário do que seria de esperar, causaram um au-

mento no rendimento. A potência medida na entrada é de $38,44mW$ e na saída é de $29,32mW$. Estes valores representam um rendimento de $76,28\%$, conseguindo-se assim uma melhoria. No entanto, esta melhoria deve-se, principalmente, à baixa da frequência para $61,2MHz$. Como descrito ao longo do trabalho, a frequência é definida pela corrente fornecida e pelo tamanho do condensador do gerador de onda dente de serra. Sabe-se também que o circuito extraído da planta contém capacidades parasitas que o circuito em esquema não apresenta. Observando o esquema do gerador de onda em dente de serra, no capítulo anterior, verifica-se a presença de um transistor em paralelo com o condensador, ou seja, no circuito extraído são somadas as capacidades desse transistor com as do condensador. Sendo que este é de reduzidas dimensões, $C = 65fF$, torna-se significativamente afetado pelas capacidades parasitas, que são na ordem das centenas de $aF(10^{-18})$.

Por forma a restabelecer a frequência pretendida, que inicialmente se fixou em $100MHz$, procedeu-se às alterações necessárias. Havendo duas alternativas, optou-se pela mais simples, ou seja, o redimensionamento do transistor que espelha a corrente para o gerador de onda dente de serra. Aumentou-se a largura deste transistor de $3,5$ para $5,6\mu m$, aumentando assim a corrente fornecida.

Após simular novamente o circuito extraído, em que se registou uma frequência de $96,3MHz$, obtiveram-se os gráficos da figura 5.14.

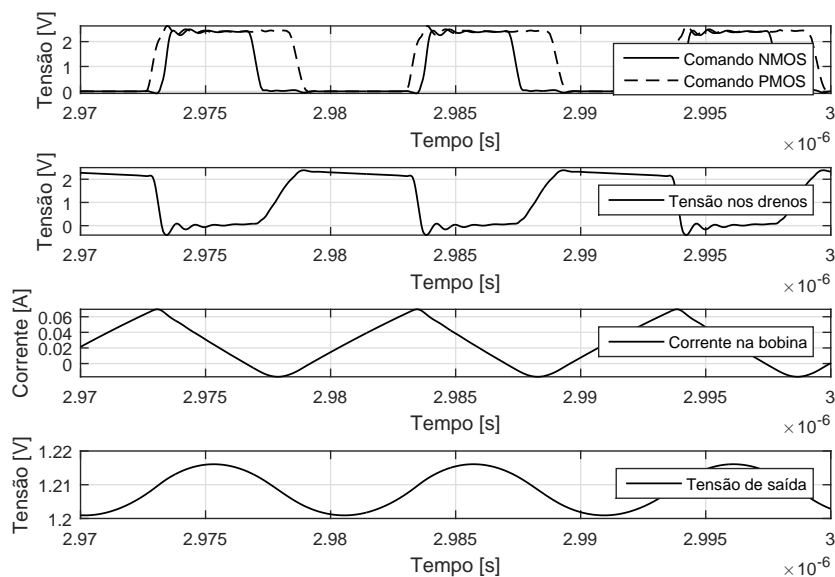


Figura 5.14: Resultados do circuito extraído da planta com a frequência reajustada.

Reajustada a frequência do circuito, a bobina de ressonância voltou a ser restabelecida em $62nH$, que permite ao conversor um correto funcionamento. Este correto funcionamento é confirmado pelos diagramas apresentados na figura 5.14, em particular pela tensão nos drenos dos transistores em conjunto com a corrente na bobina. A tensão de saída tem um valor médio de $1,208V$ com $\Delta V_O = 15,2mV$ ($1,26\%$). Com $P_{IN} = 39,63mW$ e $P_{OUT} = 29,2mW$, o circuito apresentou ainda um rendimento superior ao esquema elétrico de $\rho = 73,68\%$. Esta melhoria é observada no bloco de potência, onde o consumo em esquema elétrico é de $7,71mW$ e, após a extração do circuito a partir da planta se

estabeleceu em 7,08mW.

À semelhança do que foi feito ao circuito em esquema elétrico, também se simulou este em *corners*. Os resultados desta simulação estão apresentados na figura 5.15. Apesar de todas as curvas, cada uma referente a um *corner*, terem comportamento semelhante e todas entrarem em regime permanente mais rapidamente do que em esquema elétrico, verifica-se que duas das curvas estabilizam num valor um pouco mais elevado que 1,2V.

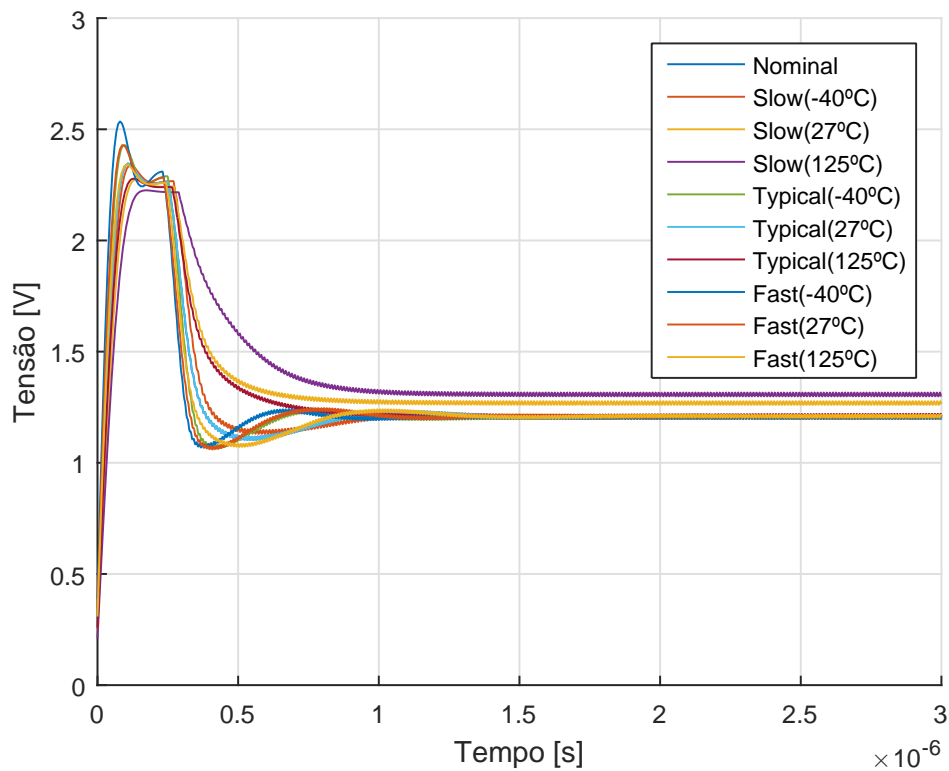


Figura 5.15: Resultados da simulação de *corners* do circuito extraído da planta.

Como se observa na figura 5.16, as curvas que mais se afastam são referentes ao processo de fabrico *slow* à temperatura ambiente, na qual a saída do conversor oscila em torno de 1,27V, e a 125°C que oscila em torno de 1,3V.

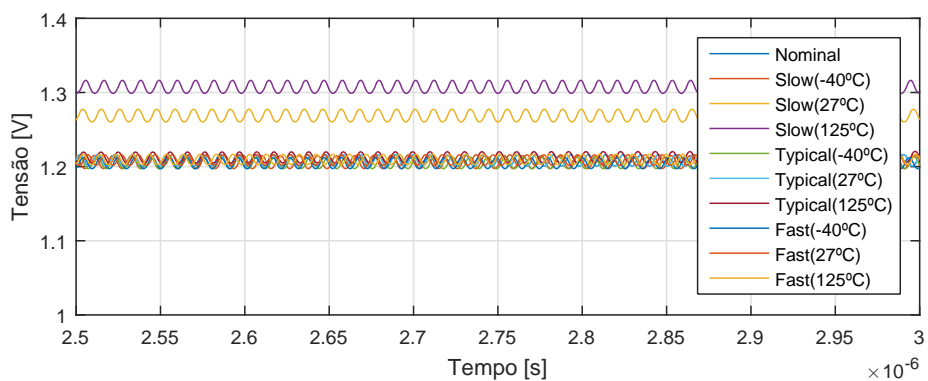


Figura 5.16: Resultados da simulação de *corners* do circuito extraído da planta em regime permanente.

5.4 Conclusões

Neste capítulo foram alcançados os principais objetivos da dissertação, isto é, a concretização do conversor QSW em tecnologia CMOS e sua validação.

Foram feitas simulações graduais ao circuito, ou seja, o circuito foi inicialmente testado sem acesso exterior, sendo-lhe posteriormente colocadas as bobinas que simulam o acesso por *wire bonding* ao exterior. Foi possível garantir o seu funcionamento com um total de catorze PADs (5 para alimentação de potência, 5 para *ground* de potência, 2 para alimentação do bloco de controlo, 1 entrada do controlo e 1 para saída do circuito de potência).

O circuito foi também validado com simulações em que se fez variar a carga de saída e a tensão de alimentação, bem como simulação de *corners*, onde se verificou a convergência das tensões de saída, relativas aos nove *corners*, para 1,2V. Simulou-se ainda o circuito sem o condensador de ressonância, ficando assim a funcionar com comutação abrupta, no qual se observou uma baixa no rendimento de cerca de 7%.

Por fim, nas simulações com o circuito extraído da planta, a qual apresenta uma área de implementação de $0,3401\text{mm}^2$, obteve-se um rendimento de 73,68%. Este circuito foi também submetido a simulação de *corners* onde se verificou que dois destes se afastam ligeiramente da tensão de saída pretendida.

Capítulo 6

Conclusões

Tendo em consideração os objetivos nesta dissertação e todo o conteúdo apresentado na mesma, importa neste capítulo proceder à reflexão sobre o estudo efetuado, implementações feitas e resultados obtidos. Cabe ainda refletir sobre uma possível continuação de estudo no âmbito deste trabalho.

6.1 Contribuições

Após o estudo do conversor QSW-ZVS em relação a outros, nomeadamente o de comutação abrupta, foram identificadas vantagens, mas também algumas limitações. Uma das vantagens do conversor QSW-ZVS é o fato de permitir apenas a condução dos transístores em tródo através da comutação pelo zero da tensão, o que diminui significativamente as perdas na comutação, permitindo assim aumentar a frequência com rendimentos elevados. O aumento da frequência de comutação permite, por sua vez, a integração do condensador de ressonância.

Este conversor apresenta algumas limitações, sendo que a mais relevante consiste no facto de a razão de conversão não poder ser menor que 0,5, ou seja, a tensão mínima na saída é $V_I/2$, por forma a manter o modo ZVS. No conversor projetado, em particular, há ainda a apontar o facto de uma alteração na carga de saída poder pôr em causa a comutação suave projetada, afetando por sua vez o rendimento. No entanto, como se pode observar nos resultados, o conversor projetado garante que a saída se mantém com a tensão pretendida para uma vasta gama de tensões de alimentação e de cargas na saída.

Há que dar destaque ao ponto desta dissertação, no qual é comparado o conversor desenvolvido com com um conversor de comutação abrupta nas mesmas condições. Neste caso é alcançado um melhoramento de rendimento face à comutação abrupta de cerca de 7%.

O conversor QSW-ZVS implementado, já com a sua planta concluída, permitiu ainda que este se destacasse devido à sua área de implementação. Este apresenta uma área claramente inferior às áreas apresentadas nas propostas analisadas no estado da arte.

Dando o conversor por concluído e extraído, e a planta do seu circuito elaborada, realizaram-se as várias simulações apresentadas previamente e chegou-se aos valores do rendimento muito próximos

de 73,68%.

6.2 Trabalho Futuro

Apesar dos resultados obtidos satisfazerem os objetivos inicialmente propostos, existem estudos mais aprofundados que podem dar origem a trabalhos subsequentes. Um aspeto importante a analisar seria o modelo de controlo pensado inicialmente na secção 3.4. A concretização de um circuito que cumprisse os requisitos do modelo descrito seria uma importante contribuição para o conversor QSW-ZVS. Este controlo permitiria que o conversor não fosse projetado para uma carga e tensão de alimentação específicas, mas sim para uma gama de cargas e uma gama de tensões, garantindo assim, uma comutação suave em diversas situações.

Um desafio também muito interessante, seria um significativo aumento da frequência de modo a tornar possível a integração da bobina de ressonância, e possivelmente do condensador de filtragem.

Bibliografia

- [1] V. S. Costa, P. Santos, and B. Borges. Design methodologies for integrated inductor-based soft-switching dc dc converters. *i-ETC: ISEL Academic Journal of Electronics Telecommunications and Computers*, 2(1):ID-17, 2013.
- [2] S. Zhou, G. Rincón-Mora, et al. A high efficiency, soft switching dc-dc converter with adaptive current-ripple control for portable applications. *Circuits and Systems II: Express Briefs, IEEE Transactions on*, 53(4):319–323, 2006.
- [3] Y.-T. Lin, W.-Y. Chung, D.-S. Wu, H.-C. Wang, H.-Y. Lin, and J.-J. Chen. A monolithic cmos step-down dc-dc converter. In *Circuits and Systems, 2005. 48th Midwest Symposium on*, pages 448–451. IEEE, 2005.
- [4] V. Costa. *Conversores CC-CC de Alta Frequência para “System-On-Chip (SoC)”*. PhD thesis, Ph. D. thesis, Instituto Superior Técnico, Lisboa, 2010.
- [5] J. Dores Costa. *Controlo e Modelos Incrementais de Conversores de Potência com Interruptores Ressonantes*. PhD thesis, Ph. D. thesis, Instituto Superior Técnico, Lisboa, 1996.
- [6] W. Tabisz, F. C. Lee, et al. Zero-voltage-switching multiresonant technique—a novel approach to improve performance of high-frequency quasi-resonant converters. *Power Electronics, IEEE Transactions on*, 4(4):450–458, 1989.
- [7] V. Vorpérian. Quasi-square-wave converters: topologies and analysis. *Power Electronics, IEEE Transactions on*, 3(2):183–191, 1988.
- [8] S. Cuk and R. Middlebrook. Advances in switched-mode power conversion part i. *IEEE Transactions on Industrial Electronics*, 1(IE-30):10–19, 1983.
- [9] V. Costa, P. Santos, and B. Borges. Design method for integrated cmos quasi-square-wave dc-dc converters. In *Proceedings of DCIS2005, XX Conference on Design of Circuits and Integrated Systems, Lisboa, 2005*.
- [10] V. Kursun, S. G. Narendra, V. K. De, and E. G. Friedman. Low-voltage-swing monolithic dc-dc conversion. *Circuits and Systems II: Express Briefs, IEEE Transactions on*, 51(5):241–248, 2004.

- [11] O. Trescases and W. T. Ng. Variable output, soft-switching dc/dc converter for vlsi dynamic voltage scaling power supply applications. In *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, volume 6, pages 4149–4155. IEEE, 2004.
- [12] K. Onizuka, K. Inagaki, H. Kawaguchi, M. Takamiya, and T. Sakurai. Stacked-chip implementation of on-chip buck converter for distributed power supply system in sips. *IEEE journal of solid-state circuits*, 42(11):2404–2410, 2007.
- [13] M. Wens and M. Steyaert. A fully-integrated 130nm cmos dc-dc step-down converter, regulated by a constant on/off-time control system. In *Solid-State Circuits Conference, 2008. ESSCIRC 2008. 34th European*, pages 62–65. IEEE, 2008.
- [14] M. Wens and M. Steyaert. A fully-integrated 0.18 μ m cmos dc-dc step-down converter, using a bondwire spiral inductor. In *2008 IEEE Custom Integrated Circuits Conference*, pages 17–20. IEEE, 2008.
- [15] J. Ni, Z. Hong, and B. Y. Liu. Improved on-chip components for integrated dc-dc converters in 0.13 μ m cmos. In *ESSCIRC, 2009. ESSCIRC'09. Proceedings of*, pages 448–451. IEEE, 2009.
- [16] M. Alimadadi, S. Sheikhaei, G. Lemieux, S. Mirabbasi, W. G. Dunford, and P. R. Palmer. A fully integrated 660 mhz low-swing energy-recycling dc–dc converter. *IEEE Transactions on Power Electronics*, 24(6):1475–1485, 2009.
- [17] M. Wens and M. S. Steyaert. A fully integrated cmos 800-mw four-phase semiconstant on/off-time step-down converter. *IEEE Transactions on Power Electronics*, 26(2):326–333, 2011.
- [18] B. Razavi. *Design of analog CMOS integrated circuits*. 2001.
- [19] M. Ershov. Mom capacitor simulation challenges and solutions.
- [20] R. J. Baker. *CMOS: circuit design, layout, and simulation*, volume 1. John Wiley & Sons, 2008.
- [21] C. E. S. Azevedo. Fully integrated dc-dc buck converter. Master's thesis, Instituto Superior Técnico, 2015.

Anexo A

Planta por blocos

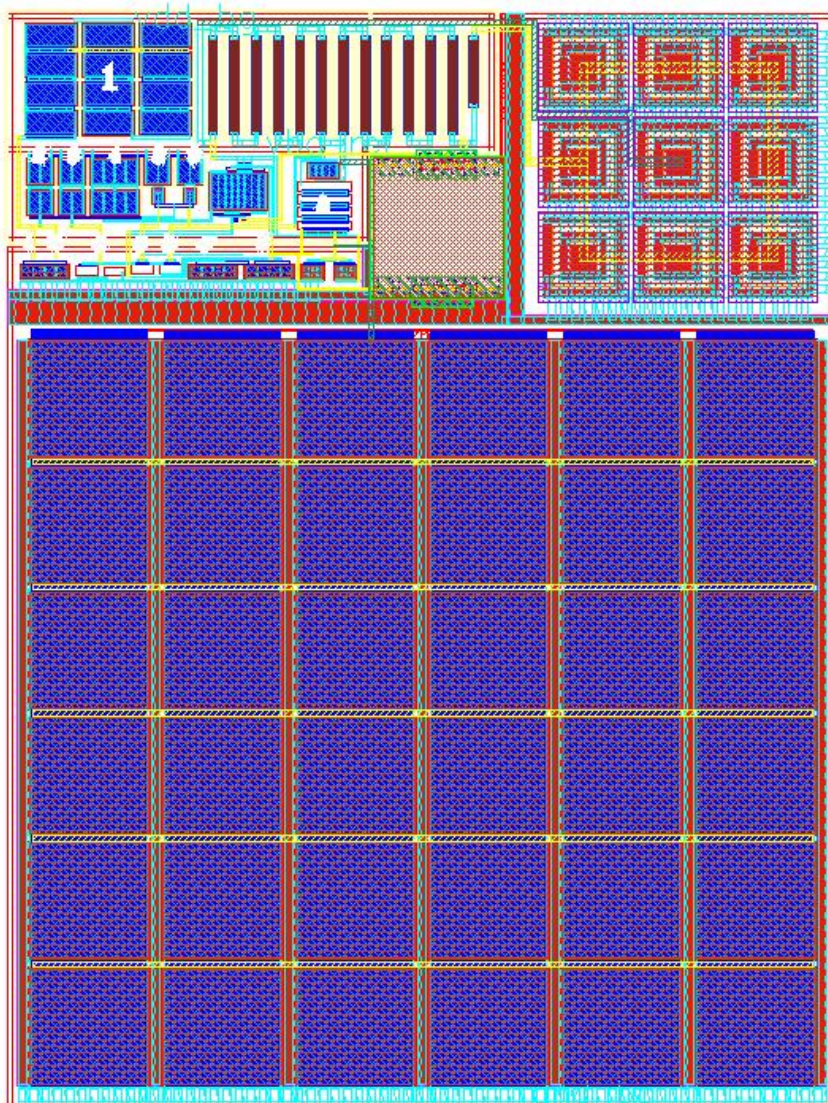


Figura A.1: Planta do circuito *bandgap*.

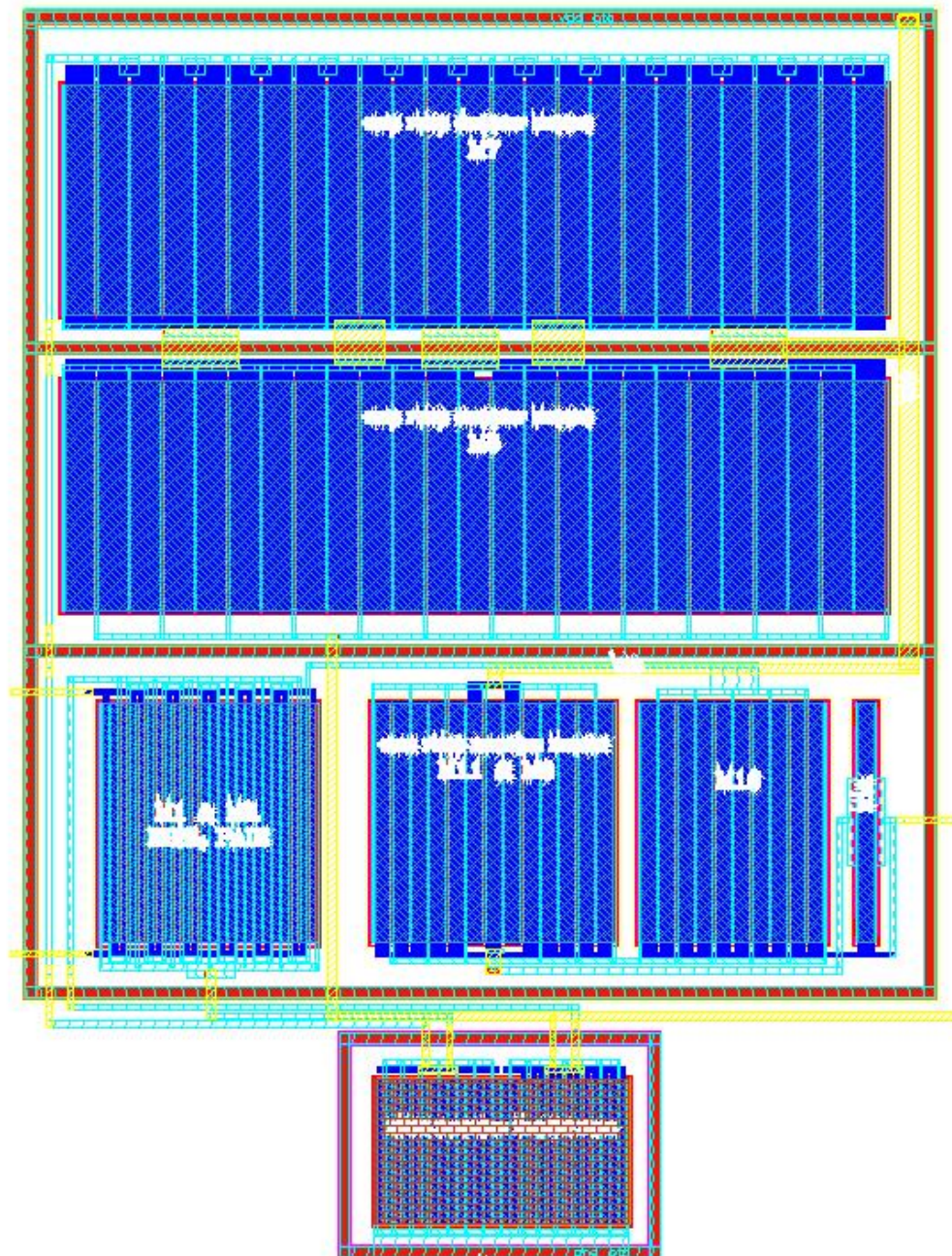


Figura A.2: Planta do Amplificador Operacional de Transcontutância

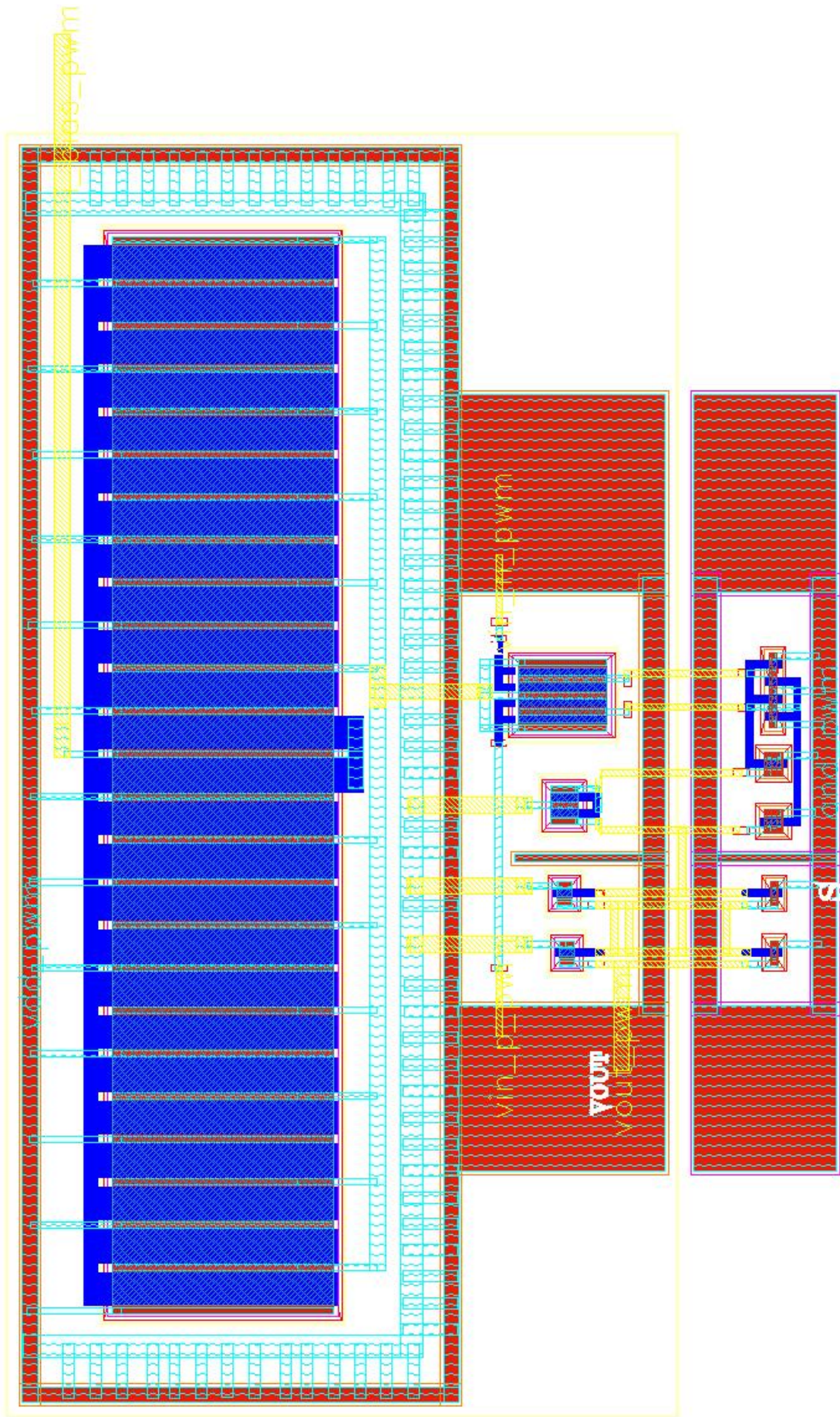


Figura A.3: Planta do comparador rápido.

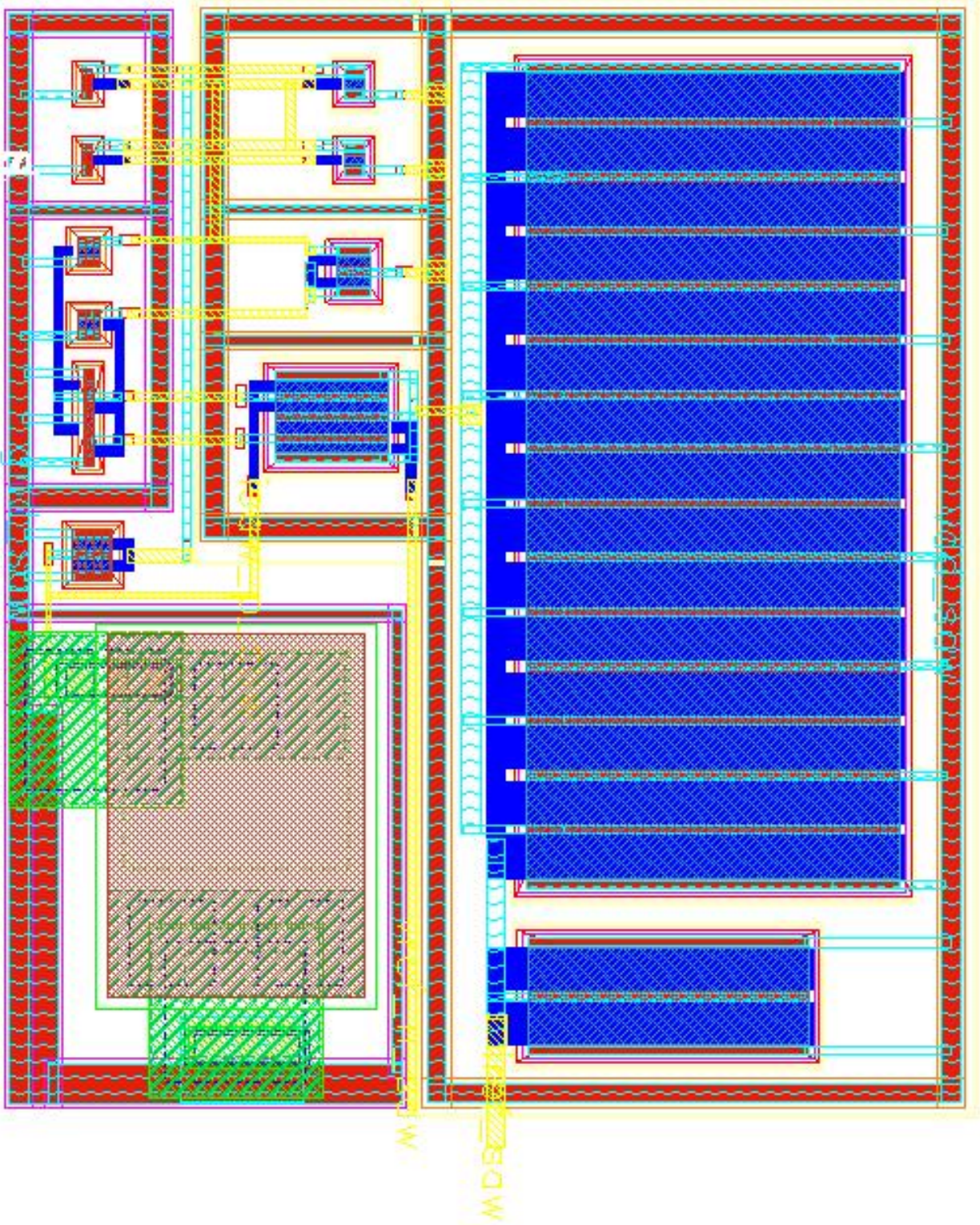


Figura A.4: Planta do gerador de onda em dente de serra.

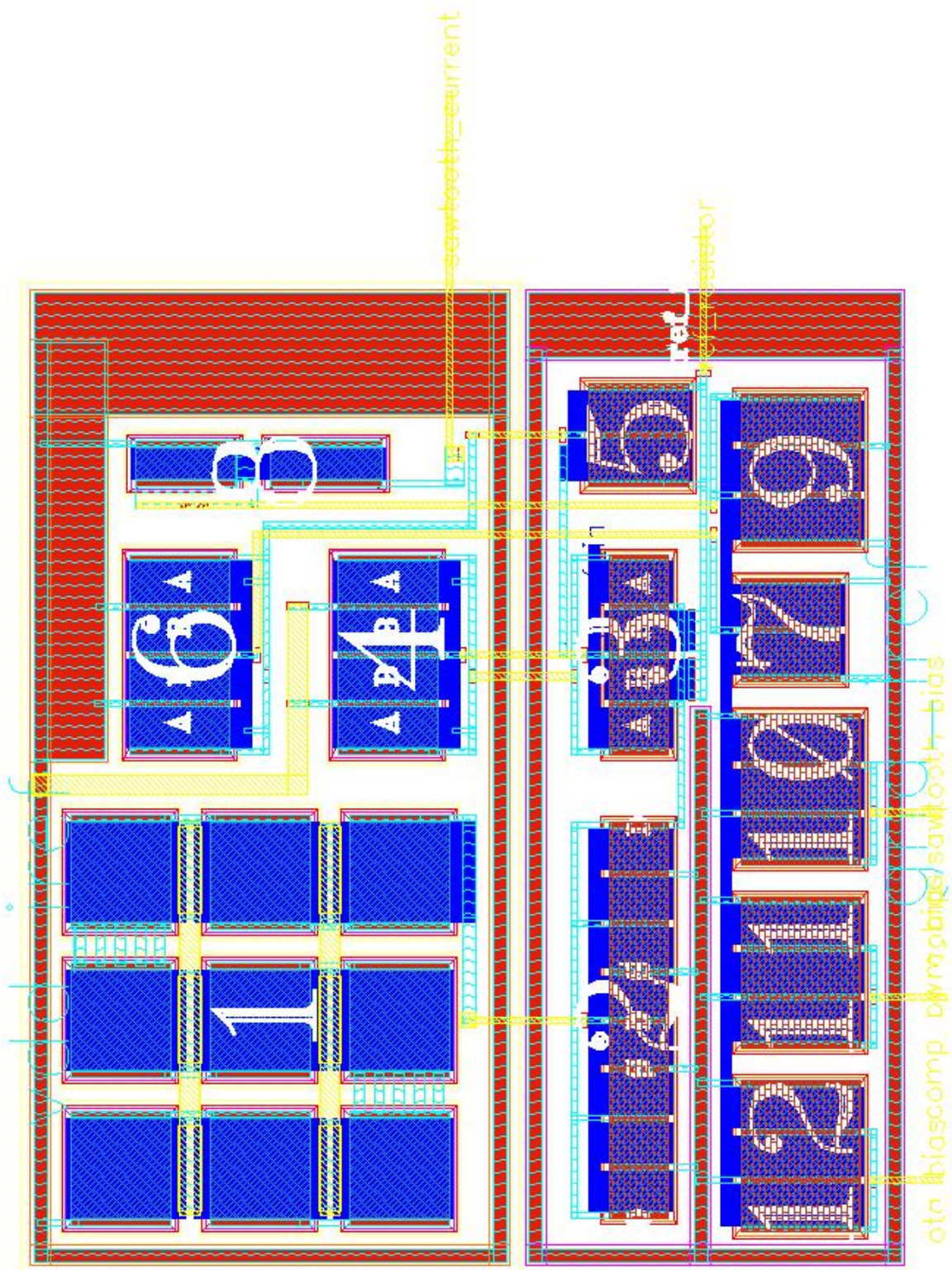


Figura A.5: Planta da fonte de correntes de referência.

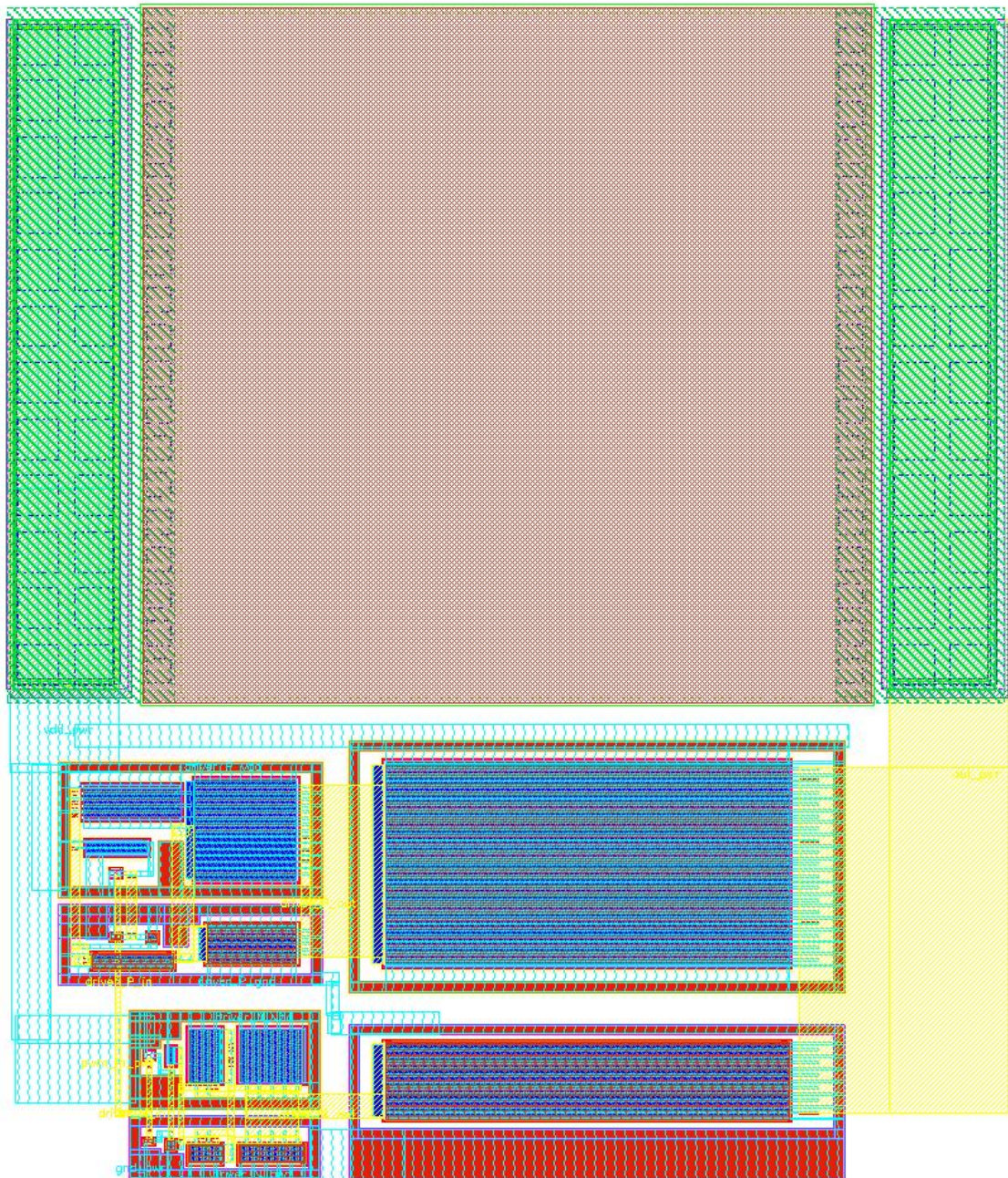


Figura A.6: Planta do bloco de potência.

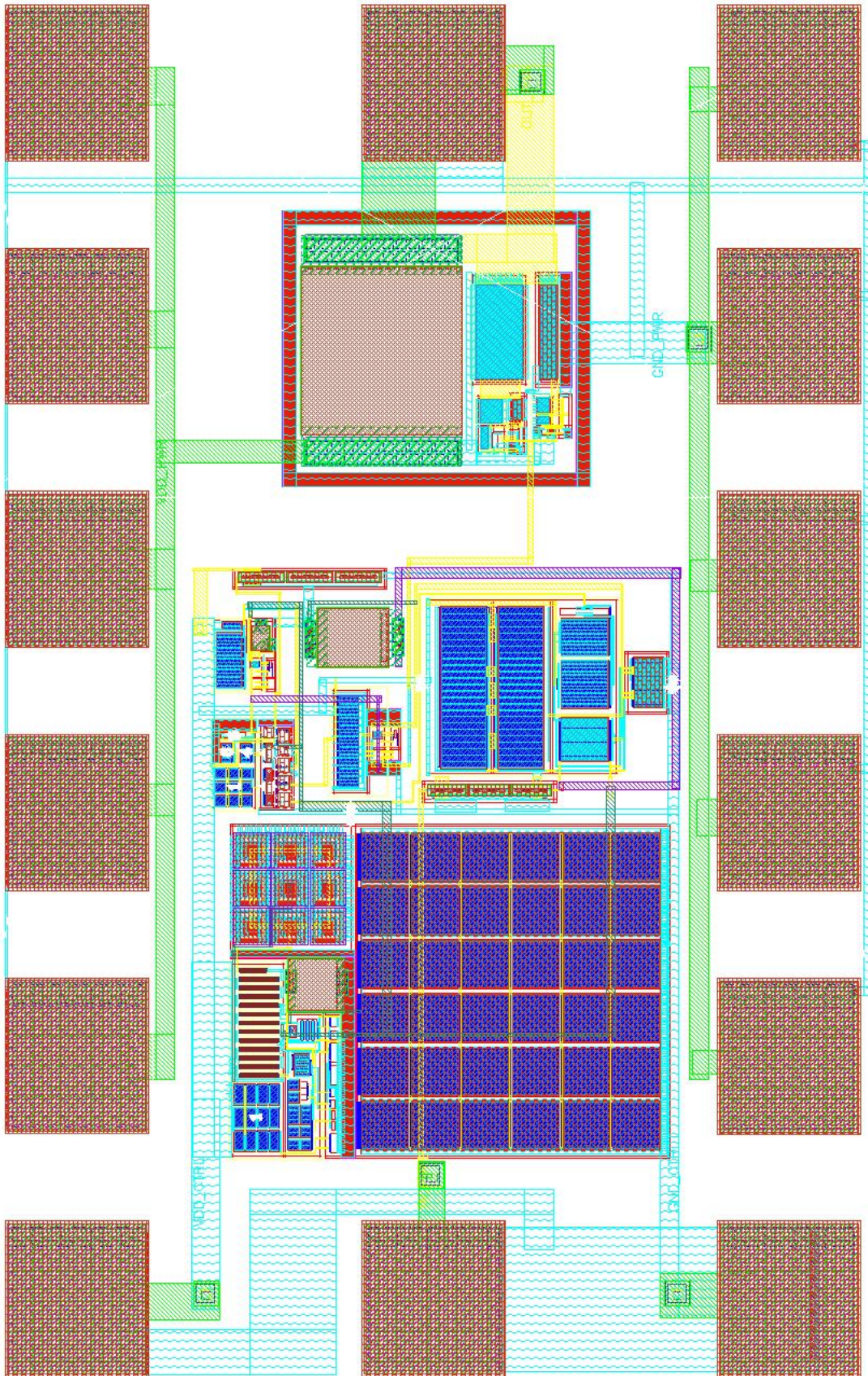


Figura A.7: Planta do circuito total.